

PATENTS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Shoichiro SATO

Serial No. (unknown)

Filed herewith

SHIFT AND DETECTING CIRCUIT
AND FLOATING-POINT CALCULATING
CIRCUIT USING THE SAME

**CLAIM FOR FOREIGN PRIORITY UNDER 35 U.S.C. 119
AND SUBMISSION OF PRIORITY DOCUMENT**

Assistant Commissioner for Patents

Washington, D.C. 20231

Sir:

Attached hereto is a certified copy of applicant's corresponding patent application filed in Japan on 19 December 2000 , under No. 2000-385583.

Applicant herewith claims the benefit of the priority filing date of the above-identified application for the above-entitled U.S. application under the provisions of 35 U.S.C. 119.

Respectfully submitted,

YOUNG & THOMPSON

By

Benoît Castel

Benoît Castel

Attorney for Applicant

Registration No. 35,041

Customer No. 00466

745 South 23rd Street

Arlington, VA 22202

Telephone: 703/521-2297

December 14, 2001



日 本 国 特 許 庁
JAPAN PATENT OFFICE

Jc872 U.S. PTO
10/014379
12/14/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月19日

出 願 番 号

Application Number:

特願2000-385583

出 願 人

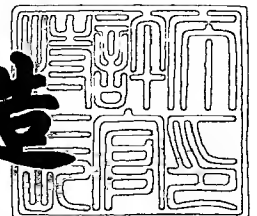
Applicant(s):

エヌイーシーマイクロシステム株式会社

2001年10月19日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3091094

【書類名】 特許願

【整理番号】 01211235

【提出日】 平成12年12月19日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 07/54

【発明者】

 【住所又は居所】 神奈川県川崎市中原区小杉町一丁目403番53号 日
 本電気アイシーマイコンシステム株式会社内

 【氏名】 佐藤 庄一郎

【特許出願人】

 【識別番号】 000232036

 【氏名又は名称】 日本電気アイシーマイコンシステム株式会社

【代理人】

 【識別番号】 100099830

 【弁理士】

 【氏名又は名称】 西村 征生

 【電話番号】 048-825-8201

【手数料の表示】

 【予納台帳番号】 038106

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9806580

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 丸め検出回路及び該丸め検出回路がシフト回路に接続されてなる複合回路

【特許請求の範囲】

【請求項 1】 浮動小数点演算回路を構成し、シフト対象データをそれぞれ所定の部分シフト量シフトさせる直列接続された複数段の部分シフト回路を有し、シフト対象データを、少なくとも 1 段の前記部分シフト回路によってシフトさせることによって、入力されたシフト対象データを所定のシフト量シフトさせるシフト回路に接続して用いられ、前記シフト回路によるシフト対象データの下位方向へのシフト処理による少なくとも 1 つの 1 を含むデータのシフトアウトの発生を検出する丸め検出回路であって、

前記各部分シフト回路による部分シフト処理の結果発生する少なくとも 1 つの 1 を含むデータのシフトアウトを検出して該検出結果を通知するための部分丸め検出信号を出力する複数段の部分丸め検出回路を備え、

前記各部分丸め検出信号のうち、最終段の前記部分丸め検出回路を除く少なくとも 1 つの前記部分丸め検出回路から出力された前記部分丸め検出信号は、他の前記部分丸め検出回路を経由しないように構成されていることを特徴とする丸め検出回路。

【請求項 2】 複数の前記部分丸め検出信号が入力され、入力された前記部分丸め検出信号のうち少なくとも 1 つが、対応する前記部分シフト回路における少なくとも 1 つの 1 を含むデータのシフトアウトの発生を示す場合に、最適な丸め処理方法を選択するための丸め処理判定を促すための丸め検出信号を出力する丸め検出信号出力回路を備え、

前記複数の部分丸め検出回路のうちの少なくとも 2 つの前記部分丸め検出回路は、前記丸め検出信号出力回路に直接接続していることを特徴とする請求項 1 記載の丸め検出回路。

【請求項 3】 前記複数の部分丸め検出回路のうち、少なくとも 1 つの前段側の前記部分丸め検出回路は、後段側の前記部分丸め検出回路を経由して前記丸め検出信号出力回路に接続し、後段側の前記部分丸め検出回路は、前段側の前記

部分丸め検出回路と後段側の前記部分丸め検出回路とのうちの少なくともいずれかに対応する前記部分シフト回路において少なくとも1つの1を含むデータのシフトアウトが発生した場合に、前記部分丸め検出信号を出力することを特徴とする請求項2記載の丸め検出回路。

【請求項4】 全ての前記部分丸め検出回路は、前記丸め検出信号出力回路に直接接続していることを特徴とする請求項2又は3記載の丸め検出回路。

【請求項5】 前記各部分丸め検出回路は、前記各部分シフト回路に、1対1で対応していることを特徴とする請求項1乃至4のいずれか1に記載の丸め検出回路。

【請求項6】 前記複数の部分丸め検出回路のうち、部分シフト量が比較的大きい前記部分シフト回路に対応する前記部分丸め検出回路を構成する能動素子のサイズは、部分シフト量が比較的小さい前記部分シフト回路に対応する前記部分丸め検出回路を構成する能動素子のサイズに対して大きく設定されていることを特徴とする請求項1乃至5のいずれか1に記載の丸め検出回路。

【請求項7】 浮動小数点演算回路を構成し、シフト対象データをそれぞれ所定の部分シフト量シフトさせる直列接続された複数段の部分シフト回路を有し、シフト対象データを、少なくとも1段の前記部分シフト回路によってシフトさせることによって、入力されたシフト対象データを所定のシフト量シフトさせるシフト回路と、

前記シフト回路に並列に重複接続して用いられ、前記シフト回路によるシフト対象データの下位方向へのシフト処理による少なくとも1つの1を含むデータのシフトアウトの発生を検出する丸め検出回路とを備えた複合回路であって、

前記丸め検出回路は、前記各部分シフト回路による部分シフト処理の結果発生する少なくとも1つの1を含むデータのシフトアウトを検出する複数段の部分丸め検出回路と、

少なくとも1つの前記部分丸め検出回路によって、少なくとも1つの1を含むデータのシフトアウトが検出された場合に、最適な丸め処理方法を選択するための丸め処理判定を促すための丸め検出信号を出力する丸め検出信号出力回路とを備え、

前記複数の部分丸め検出回路のうちの少なくとも2つの前記部分丸め検出回路は、前記丸め検出信号出力回路に直接接続していることを特徴とする丸め検出回路がシフト回路に接続されてなる複合回路。

【請求項8】 前記各部分シフト回路は、それぞれの前記部分シフト量が入力側からみて、昇順となるように接続されていることを特徴とする請求項7記載の丸め検出回路がシフト回路に接続されてなる複合回路。

【請求項9】 前記各部分シフト回路は、それぞれの前記部分シフト量が入力側からみて、降順となるように接続されていることを特徴とする請求項7記載の丸め検出回路がシフト回路に接続されてなる複合回路。

【請求項10】 前記部分シフト量は、2の冪乗であることを特徴とする請求項7、8又は9記載の丸め検出回路がシフト回路に接続されてなる複合回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、浮動小数点演算回路に組み込まれて用いられ、データを所望のシフト量で一斉にシフトすることが可能な並列シフト回路（バレルシフト回路）における下位方向へのシフト処理によって、少なくとも1つの「1」がシフトアウトする場合に、これを検出する丸め検出回路及び該丸め検出回路がシフト回路に接続されてなる複合回路に関する。

【0002】

【従来の技術】

マイクロプロセッサにおいて浮動小数点数は、例えば、図18に示すように、符号部101、指数部102、仮数部103からなるデータで表現される。

符号部101において符号Sは「0」が正を、「1」が負を表す。また、指数部102において指数Eは実際の指数に指数バイアスb（例えばIEEE（Institute of Electrical and Electronics Engineers）、米国電気電子技術者協会）規格の単精度浮動小数点表示では、 $b = 127_{10}$ ）を加えたものとされている。また、仮数部103において、仮数Fは、小数点の左が1となるように正規化（仮数の最上位桁を非零とすること）されている。

すなわち、仮数 F は、整数 1 と小数 f ($f < 1$) との和で表され、($F = 1 + f$) の形式とされる。したがって、図 18 で表される浮動小数点数 X は、式 (1) によって与えられる数となる。

【0003】

【数 1】

$$X = (-1)^S 2^{(E-b)} (1+f) \quad \dots (1)$$

【0004】

以下、この浮動小数点表示を用いて例えば加算処理を行う手順について説明する。浮動小数点数 X_1 ($S = S_1$, $E = E_1$, $f = f_1$) と、浮動小数点数 X_2 ($S = S_2$, $E = E_2$, $f = f_2$) との加算を行い、和 ($X_1 + X_2$) の演算結果として浮動小数点数 X_3 ($S = S_3$, $E = E_3$, $f = f_3$) が得られるものとする。なお、便宜上、符号 S は 1 ビット、指数 E は 3 ビット、仮数 F の小数 f は 4 ビットとし、指数 E を 10 進数で、仮数 F を 2 進数で表現して説明する。

【0005】

例えば、($S_1 = 0$, $E_1 = 4$, $f_1 = 0.0011$)、($S_2 = 0$, $E_2 = 2$, $f_2 = 0.0001$) とし、浮動小数点数 X_1 , X_2 が、それぞれ、式 (2)、式 (3) によって与えられるものとする。

【0006】

【数 2】

$$X_1 = (-1)^{S_1} 2^{(E_1-b)} (1.f_1) \quad \dots (2)$$

【0007】

【数 3】

$$X_2 = (-1)^{S_2} 2^{(E_2-b)} (1.f_2) \quad \dots (3)$$

【0008】

まず、指数 E_1 と指数 E_2 とを比較し、大きな値の指数に小さい値の指数を揃える。この例では、($E_1 = 4$, $E_2 = 2$) であるので、指数の差分 ($E_1 - E_2 = 2$) だけ浮動小数点数 X_2 の仮数 F_2 を右に (下位側へ) シフトする。この結果、式 (2) は、式 (4) に示すように変形される。

【0009】

【数 4】

$$X_2 = (-1)^{0_2} (4-b) (0.010001) \quad \dots (4)$$

【0010】

次に、小数部 f_3 を 4 ビットとする丸め処理を行う。例えば、式 (5) に示すように、($f_3 = 0.0100$) とする。

【0011】

【数 5】

$$X_2 = (-1)^{0_2} (4-b) (0.0100) \quad \dots (5)$$

【0012】

この丸め処理により、小数 f_3 の小数第 5 位、第 6 位の値は切り捨てられ、シフトアウトする。

次に、式 (2)、式 (5) によって、浮動小数点数 X_1 と浮動小数点数 X_2 との和としての浮動小数点数 X_3 を求めると、式 (6) が得られる。

【0013】

【数 6】

$$X_3 = (-1)^{0_2} (4-b) (1.1111) \quad \dots (6)$$

【0014】

次に、仮数部で最上位が「1」となる桁を探し、この「1」が整数となるように仮数部全体を右に（下位側へ）シフトして、正規化を行う。すなわち、演算の結果、例えば仮数が ($10. \dots$) となったような場合は、($1.0 \dots$) とする。この例では、既に仮数部における整数が 1 であるので、正規化のための右シフトは行われぬ。

この後、小数部 f_3 を 4 ビットとする丸め処理を行うが、この例では、浮動小数点数 X_3 は、最終的に式 (6) によって与えられる。

【0015】

このような浮動小数点演算処理手順は、マイクロプロセッサにおいて、図 19 に示すような浮動小数点加減算回路 104 を用いて実行される。

この浮動小数点加減算回路 104 は、図 19 に示すように、指数 E_1 、 E_2 の大小の比較信号及び桁合せシフト量信号を出力する比較減算回路 105 と、桁合

わせシフト量信号に基づいて下位方向にシフトする桁合せシフト回路106と、シフトアウト検出回路107と、丸め処理を行う丸め処理回路108と、仮数の加減算を行う仮数加減算回路109と、正規化シフト量だけシフトする正規化シフト回路110と、シフトアウト検出回路111と、丸め処理回路112と、指数を補正する指数増減回路113とを有している。

比較減算回路105は、2つの浮動小数点数X1、X2の指数E1、E2が入力され、指数E1、E2の大小を判断し、差分($E1 - E2$)または($E2 - E1$)を算出して、比較信号及び桁合せシフト量信号を出力する。

桁合せシフト回路106は、浮動小数点数X1、X2の仮数F1、F2と、比較信号及び桁合せシフト量信号とが入力され、比較信号及び桁合せシフト量信号に基づいて、指数E1、E2を大きい方の値に一致させ、指数の小さい方の仮数を指数の差分だけ下位方向にシフトする。

シフトアウト検出回路107は、シフトアウトするビットのすべての論理和を演算し、この論理和が「1」のときは丸めが生じることを示すスティッキー信号STaを出力する。

丸め処理回路108は、スティッキー信号STaとシフトアウトしたデータに基づいて、所定の丸め処理方法を選択して丸め処理を行う。

【0016】

仮数加減算回路109は、桁合せシフト回路106において得られた桁合せ後の仮数の加減算を行う。

正規化シフト回路110は、仮数加減算回路109において得られた加減算結果の最上位「1」の桁から整数部までの桁数を正規化シフト量として計算し、この正規化シフト量だけシフトする。

シフトアウト検出回路111は、正規化シフトの結果、シフトアウトするビットのすべての論理和を演算し、この論理和が「1」のときは丸めが生じることを示すスティッキー信号STbを出力する。

丸め処理回路112は、スティッキー信号STbとシフトアウトしたデータに基づいて、丸め処理方法を選択し、正規化シフト回路110において得られた演算結果をフォーマットの桁数まで縮めて、仮数E3を出力する。

指数増減回路 1 1 3 は、正規化シフト回路 1 1 0 において得られた正規化シフト量に基づいて指数を補正して指数 E 3 を出力する。

【 0 0 1 7 】

ここで、スティッキー信号 S T a は、浮動小数点演算の桁合わせによって生じるデータ補正の是非の判断のために用いられる。

丸め処理回路 1 0 8 (1 1 2) は、累積誤差を低減するために、スティッキー信号 S T a (S T b) を参照して、例えば、近傍の値にむかって丸める、0 に向かって丸める、正の無限大に向かって丸める、負の無限大に向かって丸める等の丸め処理方法の中から適切な方法を選択し、実行する。

【 0 0 1 8 】

ところで、近年、マイクロプロセッサの動作周波数の飛躍的な向上に伴って、演算スピードに対してもスピード向上への厳しい要求があり、この一環として、「1」のシフトアウトの検出(丸め検出)に対しても処理スピードの向上が求められている。

しかしながら、上記従来技術の構成では、例えば桁合せシフト回路 1 0 6 の後段にシフトアウト検出回路 1 0 7 が配置されて、桁合せシフト回路 1 0 6 でのシフト処理が完了した後に、「1」のシフトアウト(丸め)の発生を検出しスティッキー信号 S T a を出力していたので、処理が遅れてしまうという問題があった。

このため、図 2 0 に示すように、桁合せシフト回路 1 1 4 とシフトアウト検出回路 1 1 5 とを並列に接続して、シフトアウト検出処理(丸め検出処理)をシフト処理と並列で行う技術が提案されている。

【 0 0 1 9 】

この桁合せシフト回路 1 1 4 は、図 2 0 に示すように、比較減算回路 1 0 5 から与えられたシフト量信号に応じて、左右に 1 ビットシフト可能な 1 ビットシフト回路 1 1 6 と、2 ビットシフト可能な 2 ビットシフト回路 1 1 7 と、4 ビットシフト可能な 4 ビットシフト回路 1 1 8 と、8 ビットシフト可能な 8 ビットシフト回路 1 1 9 と、1 6 ビットシフト可能な 1 6 ビットシフト回路 1 2 0 と、3 2 ビットシフト可能な 3 2 ビットシフト回路 1 2 1 とを有している。

この桁合せシフト回路114は、上記各ビットシフト回路の組み合わせにより、入力された例えば64ビットの仮数 ($a_{63}a_{62}\cdots a_3a_2a_1a_0$) を、1ビットから64ビットまでの範囲の任意のシフト量シフトしてシフト結果 ($b_{63}b_{62}\cdots b_3b_2b_1b_0$) を出力して、丸め処理回路108へ送出する。

また、シフトアウト検出回路115は、それぞれ、1ビットシフト回路116、2ビットシフト回路117、4ビットシフト回路118、8ビットシフト回路119、16ビットシフト回路120、32ビットシフト回路121での「1」のシフトアウトを検出するための2入力セレクタ122、123、…、127を有している。シフトアウト検出回路115は、比較減算回路105から与えられたシフト量信号と、桁合せシフト回路114から出力されたシフト処理中のデータの一部とに基づいて、「1」のシフトアウトの有無を調べる。

【0020】

1ビットシフト回路116は、図20に示すように、例えば、「1」の右1ビットシフト信号RS1を受け取った場合に、入力された仮数 ($a_{63}a_{62}\cdots a_3a_2a_1a_0$) を右へ1ビットシフトし、2ビットシフト回路117へ送る。

2ビットシフト回路117は、「1」の右2ビットシフト信号RS2を比較減算回路105から受け取った場合に、1ビットシフト回路116の出力結果を右へ2ビットシフトし、4ビットシフト回路118へ送る。4ビットシフト回路118は、「1」の右4ビットシフト信号RS3を受け取った場合に、2ビットシフト回路117の出力結果を右へ4ビットシフトし、4ビットシフト回路119へ送る。

【0021】

8ビットシフト回路119は、「1」の右8ビットシフト信号RS4を受け取った場合に、4ビットシフト回路118の出力結果を右へ8ビットシフトし、16ビットシフト回路120へ送る。16ビットシフト回路120は、「1」の右16ビットシフト信号RS5を受け取った場合に、8ビットシフト回路119の出力結果を右へ16ビットシフトし、32ビットシフト回路121へ送る。

32ビットシフト回路121は、「1」の右32ビットシフト信号RS6を受け取った場合に、16ビットシフト回路120の出力結果を右へ32ビットシフ

トし、丸め処理回路108へ送る。

なお、1ビットシフト回路116は、「1」の左1ビットシフト信号LS1を受け取った場合は、仮数($a_{63}a_{62}\cdots a_3a_2a_1a_0$)を左へ1ビットシフトする。

【0022】

1ビットシフト回路116は、仮数($a_{63}a_{62}\cdots a_3a_2a_1a_0$)のビット数に対応した64個の3入力セレクトタからなり、最下位ビットに対応する3入力セレクトタ 116_0 は、図21(a)に示すように、2つの制御端子 $\phi 1$ 、 $\phi 2$ に入力される制御信号の状態(「1」又は「0」)に応じて、導通状態となって入力信号を反転出力したり、遮断状態となって入力信号の通過を阻止するクロックインバータ回路 116_0a 、 116_0b 、 116_0c と、右1ビットシフト信号RS1を受け取って反転させてクロックインバータ回路 116_0a の制御端子 $\phi 2$ に与えるインバータ回路 116_0d と、左1ビットシフト信号LS1を受け取って反転させてクロックインバータ回路 116_0b の制御端子 $\phi 2$ に与えるインバータ回路 116_0e と、右1ビットシフト信号RS1と左1ビットシフト信号RL1と受け取り、右1ビットシフト信号RS1と左1ビットシフト信号RL1とが両方とも「0」の状態のときのみ「1」の非選択信号を出力するNOR回路 116_0g と、NOR回路 116_0f の出力信号を受け取って反転させて、クロックインバータ回路 116_0c の制御端子 $\phi 2$ に与えるインバータ回路 116_0g と、クロックインバータ回路 116_0a 、クロックインバータ回路 116_0b 、又はクロックインバータ回路 116_0c からの出力信号を反転させて出力するインバータ回路 116_0h とを有している。

2ビット目から最上位ビットに対応する3入力セレクトタも、この3入力セレクトタ 116_0 と略同一の構成である。また、2ビットシフト回路117、4ビットシフト回路118、8ビットシフト回路119、16ビットシフト回路120、32ビットシフト回路121も、1ビットシフト回路116と略同一の構成である。

【0023】

2入力セレクトタ122は、図21(b)に示すように、2つの制御端子 $\phi 1$ 、

φ2に入力される制御信号の状態に応じて、導通状態となって入力信号を反転出力したり、遮断状態となって入力信号の通過を阻止するクロックインバータ回路122a、122bと、右1ビットシフト信号RS1を受け取って反転させてクロックインバータ回路122aの制御端子φ2とクロックインバータ回路122bの制御端子φ1に与えるインバータ回路122cと、クロックインバータ回路122a、クロックインバータ回路122bからの出力信号を反転させて出力するインバータ回路122dとを有している。2入力セクタ123、124、…、127も2入力セクタ122と同一の構成を有している。

2入力セクタ122においては、右1ビットシフト信号RS1「1」が入力された場合に、クロックインバータ回路122aが導通状態、クロックインバータ回路122bが遮断状態となり、このとき、AND回路128を介して、仮数($a_{63}a_{62}\cdots a_3a_2a_1a_0$)の最下位ビットデータ a_0 が「1」であることを示す信号「1」が入力されると、「1」のシフトアウト(丸め)が生じることを示す「1」状態のスティッキー信号S1がインバータ回路122dから出力される。

【0024】

同様に、2入力セクタ123においては、右2ビットシフト信号RS2「1」が入力された場合に、OR回路129を介して、2ビットシフト回路117の出力結果の下位2ビットのどちらかが「1」であることを示す信号「1」が入力されると、「1」状態のスティッキー信号S2が出力される。

【0025】

2入力セクタ124においては、右4ビットシフト信号RS3「1」が入力された場合に、OR回路130を介して、4ビットシフト回路118の出力結果の下位4ビットのいずれか1つが「1」であることを示す信号「1」が入力されると、「1」状態のスティッキー信号S3が出力される。

2入力セクタ125においては、右8ビットシフト信号RS4「1」が入力された場合に、OR回路131を介して、8ビットシフト回路119の出力結果の下位8ビットのいずれか1つが「1」であることを示す信号「1」が入力されると、「1」状態のスティッキー信号S4が出力される。

2入力セレクタ126においては、右16ビットシフト信号RS5「1」が入力された場合に、OR回路132を介して、16ビットシフト回路120の出力結果の下位16ビットのいずれか1つが「1」であることを示す信号「1」が入力されると、「1」状態のスティッキー信号S5が出力される。

2入力セレクタ127においては、右32ビットシフト信号RS6「1」が入力された場合に、OR回路133を介して、32ビットシフト回路121の出力結果の下位32ビットのいずれか1つが「1」であることを示す信号「1」が入力されると、「1」状態のスティッキー信号S6が出力される。

【0026】

また、例えば、上記2入力セレクタ122において、右1ビットシフト信号RS1シフト信号が「0」の場合は、クロックインバータ回路122bが導通状態となって、クロックインバータ回路122bに入力されたデータがこのままインバータ回路122dから出力される。後段の2入力セレクタ123、124、…、127も同様に動作する。

【0027】

【発明が解決しようとする課題】

しかしながら、例えば、2入力セレクタ122において「1」状態のスティッキー信号S1が生成された場合は、このスティッキー信号S1は、後段の2入力セレクタ123、124、…、127を経由して出力され、丸め処理回路108へ送られる。このスティッキー信号S1の出力までは、図20及び図21に示すように、13段の論理段数を必要とし、桁合わせシフト回路114の論理段数12段よりも多くなってしまい、桁合わせシフト回路114からの出力がなされてから、「1」のシフトアウトの有無が判明するという問題があった。

このため、丸め処理回路108における丸め処理に時間がかかり、浮動小数点演算回路の動作速度の向上の妨げになるという問題があった。したがって、近年、飛躍的に高まっているマイクロプロセッサの動作周波数に対応できないという問題があった。

例えば、科学技術計算やコンピュータグラフィクス等をマイクロプロセッサを用いて行う際には、高速で高精度の浮動小数点演算性能が必要とされるが、高速

化のために動作周波数が高いマイクロプロセッサを使用しているにもかかわらず、満足のいく演算速度が得られず、科学技術計算等に要する計算時間が増大化して実用上支障が生じるという問題があった。

【0028】

この発明は、上述の事情に鑑みてなされたもので、高速に、「1」のシフトアウト（丸め）の発生を検出して検出信号を出力し、浮動小数点演算回路の動作速度の向上に寄与することができる丸め検出回路及び該丸め検出回路がシフト回路を提供することを目的としている。

【0029】

【課題を解決するための手段】

上記課題を解決するために、請求項1記載の発明は、浮動小数点演算回路を構成し、シフト対象データをそれぞれ所定の部分シフト量シフトさせる直列接続された複数段の部分シフト回路を有し、シフト対象データを、少なくとも1段の上記部分シフト回路によってシフトさせることによって、入力されたシフト対象データを所定のシフト量シフトさせるシフト回路に接続して用いられ、上記シフト回路によるシフト対象データの下位方向へのシフト処理による少なくとも1つの1を含むデータのシフトアウトの発生を検出する丸め検出回路であって、上記各部分シフト回路による部分シフト処理の結果発生する少なくとも1つの1を含むデータのシフトアウトを検出して該検出結果を通知するための部分丸め検出信号を出力する複数段の部分丸め検出回路を備え、上記各部分丸め検出信号のうち、最終段の上記部分丸め検出回路を除く少なくとも1つの上記部分丸め検出回路から出力された上記部分丸め検出信号は、他の上記部分丸め検出回路を経由しないように構成されていることを特徴としている。

【0030】

請求項2記載の発明は、請求項1記載の丸め検出回路に係り、複数の上記部分丸め検出信号が入力され、入力された上記部分丸め検出信号のうち少なくとも1つが、対応する上記部分シフト回路における少なくとも1つの1を含むデータのシフトアウトの発生を示す場合に、最適な丸め処理方法を選択するための丸め処理判定を促すための丸め検出信号を出力する丸め検出信号出力回路を備え、上記

複数の部分丸め検出回路のうちの少なくとも2つの上記部分丸め検出回路は、上記丸め検出信号出力回路に直接接続していることを特徴としている。

【 0 0 3 1 】

請求項3記載の発明は、請求項2記載の丸め検出回路に係り、上記複数の部分丸め検出回路のうち、少なくとも1つの前段側の上記部分丸め検出回路は、後段側の上記部分丸め検出回路を経由して上記丸め検出信号出力回路に接続し、後段側の上記部分丸め検出回路は、前段側の上記部分丸め検出回路と後段側の上記部分丸め検出回路とのうちの少なくともいずれかに対応する上記部分シフト回路において少なくとも1つの1を含むデータのシフトアウトが発生した場合に、上記部分丸め検出信号を出力することを特徴としている。

【 0 0 3 2 】

請求項4記載の発明は、請求項2又は3記載の丸め検出回路に係り、全ての上記部分丸め検出回路は、上記丸め検出信号出力回路に直接接続していることを特徴としている。

【 0 0 3 3 】

請求項5記載の発明は、請求項1乃至4のいずれか1に記載の丸め検出回路に係り、上記各部分丸め検出回路は、上記各部分シフト回路に、1対1で対応していることを特徴としている。

【 0 0 3 4 】

請求項6記載の発明は、請求項1乃至5のいずれか1に記載の丸め検出回路に係り、上記複数の部分丸め検出回路のうち、部分シフト量が比較的大きい上記部分シフト回路に対応する上記部分丸め検出回路を構成する能動素子のサイズは、部分シフト量が比較的小さい上記部分シフト回路に対応する上記部分丸め検出回路を構成する能動素子のサイズに対して大きく設定されていることを特徴としている。

【 0 0 3 5 】

請求項7記載の発明は、浮動小数点演算回路を構成し、シフト対象データをそれぞれ所定の部分シフト量シフトさせる直列接続された複数段の部分シフト回路を有し、シフト対象データを、少なくとも1段の上記部分シフト回路によってシ

フトさせることによって、入力されたシフト対象データを所定のシフト量シフトさせるシフト回路と、上記シフト回路に並列に重複接続して用いられ、上記シフト回路によるシフト対象データの下位方向へのシフト処理による少なくとも1つの1を含むデータのシフトアウトの発生を検出する丸め検出回路とを備えた複合回路に係り、上記丸め検出回路は、上記各部分シフト回路による部分シフト処理の結果発生する少なくとも1つの1を含むデータのシフトアウトを検出する複数段の部分丸め検出回路と、少なくとも1つの上記部分丸め検出回路によって、少なくとも1つの1を含むデータのシフトアウトが検出された場合に、最適な丸め処理方法を選択するための丸め処理判定を促すための丸め検出信号を出力する丸め検出信号出力回路とを備え、上記複数の部分丸め検出回路のうちの少なくとも2つの上記部分丸め検出回路は、上記丸め検出信号出力回路に直接接続していることを特徴としている。

【 0 0 3 6 】

請求項8記載の発明は、請求項7記載の丸め検出回路がシフト回路に接続されてなる複合回路に係り、上記各部分シフト回路は、それぞれの上記部分シフト量が入力側からみて、昇順となるように接続されていることを特徴としている。

【 0 0 3 7 】

請求項9記載の発明は、請求項7記載の丸め検出回路がシフト回路に接続されてなる複合回路に係り、上記各部分シフト回路は、それぞれの上記部分シフト量が入力側からみて、降順となるように接続されていることを特徴としている。

【 0 0 3 8 】

請求項10記載の発明は、請求項7、8又は9記載の丸め検出回路がシフト回路に接続されてなる複合回路に係り、上記部分シフト量は、2の冪乗であることを特徴としている。

【 0 0 3 9 】

【作用】

この発明の構成では、各部分丸め検出信号のうち、最終段の部分丸め検出回路を除く少なくとも1つの部分丸め検出回路から出力された部分丸め検出信号が、他の部分丸め検出回路を経由しないように構成されているので、丸め検出信号出

力回路から出力される丸め検出信号は、高速に、丸め処理を行う丸め処理回路に伝達される。したがって、浮動小数点演算回路の動作速度の向上に寄与することができる。

また、部分シフト量が比較的大きい部分シフト回路に対応する部分丸め検出回路を構成する能動素子のサイズを、部分シフト量が比較的小さい部分シフト回路に対応する部分丸め検出回路を構成する能動素子のサイズに対して大きく設定することによって、平均的な演算処理時間の短縮化を図りつつ、丸め検出回路全体のサイズの縮小化を達成することができる。

【 0 0 4 0 】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に行う。

◇第 1 実施例

図 1 及び図 2 は、この発明の第 1 実施例であるシフト回路及びシフトアウト検出回路の電氣的構成を示すブロック図、図 3 は、同シフト回路を構成するマルチプレクサ回路の構成を示す回路図、図 4 は、同シフトアウト検出回路を構成する 1 ビット検出回路の構成を示す回路図、図 5 は、同シフトアウト検出回路を構成する 2 ビット検出回路の構成を示す回路図、図 6 は、同シフトアウト検出回路を構成する 4 ビット検出回路の構成を示す回路図、図 7 は、同シフトアウト検出回路を構成する 8 ビット検出回路の構成を示す回路図、図 8 は、同シフトアウト検出回路を構成する 1 6 ビット検出回路の構成を示す回路図、図 9 は、同シフトアウト検出回路を構成する 3 2 ビット検出回路の構成を示す回路図、図 1 0 は、同シフト回路及びシフトアウト検出回路の動作を説明するための説明図、また、図 1 1 は、同シフト回路及びシフトアウト検出回路が組み込まれた浮動小数点加減算回路の電氣的構成を示すブロック図である。

【 0 0 4 1 】

この例のシフト回路 1 及びシフトアウト検出回路（丸め検出回路） 2 は、図 1 に示すように、2 つの浮動小数点数の加算結果（和）等を求めて出力する浮動小数点加減算回路において、桁合せシフトや正規化シフトの際に用いられる。なお

、並列接続されたシフト回路 1 及びシフトアウト検出回路 2 は、複合回路を構成する。

このシフト回路 1 は、比較減算回路 3 から与えられたシフト量信号に応じて、左右に 1 ビットシフト可能な 1 ビットシフト回路（部分シフト回路）5 と、2 ビットシフト可能な 2 ビットシフト回路 6 と、4 ビットシフト可能な 4 ビットシフト回路 7 と、8 ビットシフト可能な 8 ビットシフト回路 8 と、16 ビットシフト可能な 16 ビットシフト回路 9 と、32 ビットシフト可能な 32 ビットシフト回路 11 とを有している。

シフト回路 1 は、図 1 及び図 2 に示すように、上記各ビットシフト回路の組み合わせにより、入力された例えば 64 ビットの仮数 ($a_{63}a_{62}\cdots a_3a_2a_1a_0$) を、1 ビットから 64 ビットまでの範囲の任意のシフト量シフトしてシフト結果 ($b_{63}b_{62}\cdots b_3b_2b_1b_0$) を出力して、丸め処理回路 4 へ送出する。

【0042】

シフトアウト検出回路 2 は、図 1 及び図 2 に示すように、それぞれ、1 ビットシフト回路 5、2 ビットシフト回路 6、4 ビットシフト回路 7、8 ビットシフト回路 8、16 ビットシフト回路 9、及び 32 ビットシフト回路 11 での「1」のシフトアウトを検出するための 1 ビット検出回路（部分丸め検出回路）13、2 ビット検出回路 14、4 ビット検出回路 15、8 ビット検出回路 16、16 ビット検出回路 17、及び 32 ビット検出回路 18 と、2 ビット検出回路 14 及び 4 ビット検出回路 15 の出力を中継する中継出力回路 19 と、各ビット検出回路の出力を集約して、シフト回路 1 におけるシフト処理の結果、「1」のシフトアウトを通知するためのスティッキー信号（丸め検出信号）STOUT を出力する集約出力回路（丸め検出信号出力回路）21 とを有している。

シフトアウト検出回路 2 は、比較減算回路 3 から与えられたシフト量信号と、桁合せシフト回路 1 から出力されたシフト処理中のデータの一部とに基づいて、「1」のシフトアウトの有無を調べる。

【0043】

例えば桁合せシフトの際には、シフト回路 1 が、2 つの浮動小数点数の指数の大小を判断する比較減算回路 3 から出力された指数が小さい方の浮動小数点数の

仮数の桁合せに必要なシフト量に基づいて、入力されたシフト対象の例えば64ビットの仮数 ($a_{63}a_{62}\cdots a_3a_2a_1a_0$) を下位へ向けてシフト (右シフト) させて、シフト結果 ($b_{63}b_{62}\cdots b_3b_2b_1b_0$) を出力する。

一方、シフトアウト検出回路2が、シフト回路1のシフト処理と並行して、該シフト処理の結果、シフトアウトするデータのなかに1つでも「1」が含まれる否か調べ、1つでも「1」が含まれている場合には、後段の丸め処理回路4で最適な丸め処理方法を選択するための丸め処理判定を促すスティッキー信号STOUTを「1」として出力する。

【0044】

シフト回路1は、複数ビット纏めてシフト可能なバレルシフト回路である。図1及び図2に示すように、シフト回路1において、1ビットシフト回路 (部分シフト回路) 5は、比較減算回路3から、例えば「1」の右1ビットシフト信号RS1を受け取った場合に、入力された仮数 ($a_{63}a_{62}\cdots a_3a_2a_1a_0$) を1ビット右シフトさせる。また、「1」の左1ビットシフト信号LS1を受け取った場合に、入力された仮数 ($a_{63}a_{62}\cdots a_3a_2a_1a_0$) を1ビット左シフトさせる。

2ビットシフト回路6は、「1」の右2ビットシフト信号RS2を受け取った場合に、1ビットシフト回路5の出力データ ($p_{63}p_{62}\cdots p_3p_2p_1p_0$) を2ビット右シフトさせる。また、「1」の左2ビットシフト信号LS2を受け取った場合に、1ビットシフト回路5の出力データ ($p_{63}p_{62}\cdots p_3p_2p_1p_0$) を2ビット左シフトさせる。

4ビットシフト回路7は、「1」の右4ビットシフト信号RS3を受け取った場合に、2ビットシフト回路6の出力データ ($q_{63}q_{62}\cdots q_3q_2q_1q_0$) を4ビット右シフトさせる。また、「1」の左4ビットシフト信号LS3を受け取った場合に、2ビットシフト回路6の出力データ ($q_{63}q_{62}\cdots q_3q_2q_1q_0$) を4ビット左シフトさせる。

【0045】

8ビットシフト回路8は、「1」の右8ビットシフト信号RS4を受け取った場合に、4ビットシフト回路7の出力データ ($r_{63}r_{62}\cdots r_3r_2r_1r_0$) を8ビット右シフトさせる。また、「1」の左8ビットシフト信号LS4を受け取った

場合に、4ビットシフト回路7の出力データ ($r_{63} r_{62} \cdots r_3 r_2 r_1 r_0$) を8ビット左シフトさせる。

16ビットシフト回路9は、「1」の右16ビットシフト信号RS5を受け取った場合に、8ビットシフト回路8の出力データ ($s_{63} s_{62} \cdots s_3 s_2 s_1 s_0$) を16ビット右シフトさせる。また、「1」の左16ビットシフト信号LS5を受け取った場合に、8ビットシフト回路8の出力データ ($s_{63} s_{62} \cdots s_3 s_2 s_1 s_0$) を16ビット左シフトさせる。

32ビットシフト回路11は、「1」の右32ビットシフト信号RS6を受け取った場合に、16ビットシフト回路9の出力データ ($t_{63} t_{62} \cdots t_3 t_2 t_1 t_0$) を32ビット右シフトさせる。また、「1」の左32ビットシフト信号LS6を受け取った場合に、16ビットシフト回路9の出力データ ($t_{63} t_{62} \cdots t_3 t_2 t_1 t_0$) を32ビット左シフトさせる。

シフト回路1は、上記シフト信号の組み合わせによって、1ビットから64ビットまでの任意のシフト量下位方向及び上位方向へシフトさせることが可能とされている。

【0046】

1ビットシフト回路5には、図2に示すように、仮数 ($a_{63} a_{62} \cdots a_3 a_2 a_1 a_0$) と、1ビット上位のデータであり、仮数 ($a_{63} a_{62} \cdots a_3 a_2 a_1 a_0$) を1ビット右シフトさせた右シフトデータ ($a_{R63} a_{R62} \cdots a_{R3} a_{R2} a_{R1} a_{R0}$) と、1ビット下位のデータであり、仮数 ($a_{63} a_{62} \cdots a_3 a_2 a_1 a_0$) を1ビット左シフトさせた左シフトデータ ($a_{L63} a_{L62} \cdots a_{L3} a_{L2} a_{L1} a_{L0}$) とが入力される。ここで、1ビット上位又は1ビット下位の該当するデータがない場合は、「0」が入力される。

1ビットシフト回路5は、図2に示すように、上記データが入力され、仮数 ($a_{63} a_{62} \cdots a_3 a_2 a_1 a_0$) のビット数に対応した64個のマルチプレクサ回路5₀、5₁、5₂、…、5₆₂、5₆₃を有している。

マルチプレクサ回路5₀ (5₁、5₂、5₃、…、5₆₂、5₆₃) は、図2に示すように、制御信号として入力される右1ビットシフト信号RS1と左1ビットシフト信号RL1との状態に応じて、入力される仮数 ($a_{63} a_{62} \cdots a_3 a_2 a_1 a_0$) の

うちの対応するビットのデータ、右シフトデータ ($a_{R63} a_{R62} \dots a_{R3} a_{R2} a_{R1} a_{R0}$) のうちの対応するビットのデータ、左シフトデータ ($a_{L63} a_{L62} \dots a_{L3} a_{L2} a_{L1} a_{L0}$) のうちの対応するビットのデータのうちいずれか1つのデータを選択して出力する。

【0047】

同様に、2ビットシフト回路6、4ビットシフト回路7、8ビットシフト回路8、16ビットシフト回路9、32ビットシフト回路11は、それぞれ、64個のマルチプレクサ回路 $6_0, 6_1, 6_2, \dots, 6_{63}$ 、マルチプレクサ回路 $7_0, 7_1, 7_2, \dots, 7_{63}$ 、マルチプレクサ回路 $8_0, 8_1, 8_2, \dots, 8_{63}$ 、マルチプレクサ回路 $9_0, 9_1, 9_2, \dots, 9_{63}$ 、マルチプレクサ回路 $11_0, 11_1, 11_2, \dots, 11_{63}$ 、を有している。

ここで、2ビットシフト回路6には、図2に示すように、1ビットシフト回路5の出力データ ($p_{63} p_{62} \dots p_3 p_2 p_1 p_0$) と、2ビット上位のデータであり、出力データ ($p_{63} p_{62} \dots p_3 p_2 p_1 p_0$) を2ビット右シフトされた右シフトデータ ($p_{R63} p_{R62} \dots p_{R3} p_{R2} p_{R1} p_{R0}$) と、2ビット下位のデータであり、出力データ ($p_{63} p_{62} \dots p_3 p_2 p_1 p_0$) を2ビット左シフトされた左シフトデータ ($p_{L63} p_{L62} \dots p_{L3} p_{L2} p_{L1} p_{L0}$) とが入力される。ここで、2ビット上位又は2ビット下位の該当するデータがない場合は、「0」が入力される。

上記データは、各マルチプレクサ回路 $6_0 (6_1, 6_2, 6_3, \dots, 6_{62}, 6_{63})$ のそれぞれに入力される。

以下同様に、4ビットシフト回路7には、2ビットシフト回路6の出力データ ($q_{63} q_{62} \dots q_3 q_2 q_1 q_0$) と、出力データ ($q_{63} q_{62} \dots q_3 q_2 q_1 q_0$) を4ビット右シフトされた右シフトデータ ($q_{R63} q_{R62} \dots q_{R3} q_{R2} q_{R1} q_{R0}$) と、出力データ ($q_{63} q_{62} \dots q_3 q_2 q_1 q_0$) を4ビット左シフトされた左シフトデータ ($q_{L63} q_{L62} \dots q_{L3} q_{L2} q_{L1} q_{L0}$) とが入力される。

【0048】

また、8ビットシフト回路8には、4ビットシフト回路7の出力データ ($r_{63} r_{62} \dots r_3 r_2 r_1 r_0$) と、出力データ ($r_{63} r_{62} \dots r_3 r_2 r_1 r_0$) を8ビット右シフトされた右シフトデータ ($r_{R63} r_{R62} \dots r_{R3} r_{R2} r_{R1} r_{R0}$) と、出力データ

($r_{63} r_{62} \dots r_3 r_2 r_1 r_0$) を 8 ビット左シフトされた左シフトデータ ($r_{L63} r_{L62} \dots r_{L3} r_{L2} r_{L1} r_{L0}$) とが入力される。

また、16ビットシフト回路9には、8ビットシフト回路8からの出力データ ($s_{63} s_{62} \dots s_3 s_2 s_1 s_0$) と、出力データ ($s_{63} s_{62} \dots s_3 s_2 s_1 s_0$) を16ビット右シフトされた右シフトデータ ($s_{R63} s_{R62} \dots s_{R3} s_{R2} s_{R1} s_{R0}$) と、出力データ ($s_{63} s_{62} \dots s_3 s_2 s_1 s_0$) を16ビット左シフトされた左シフトデータ ($s_{L63} s_{L62} \dots s_{L3} s_{L2} s_{L1} s_{L0}$) とが入力される。

また、32ビットシフト回路11には、16ビットシフト回路9の出力データ ($t_{63} t_{62} \dots t_3 t_2 t_1 t_0$) と、出力データ ($t_{63} t_{62} \dots t_3 t_2 t_1 t_0$) を32ビット右シフトされた右シフトデータ ($t_{R63} t_{R62} \dots t_{R3} t_{R2} t_{R1} t_{R0}$) と、出力データ ($t_{63} t_{62} \dots t_3 t_2 t_1 t_0$) を32ビット左シフトされた左シフトデータ ($t_{L63} t_{L62} \dots t_{L3} t_{L2} t_{L1} t_{L0}$) とが入力される。

【0049】

マルチプレクサ回路5₀は、図3に示すように、クロックインバータ回路5₀a、5₀b、5₀cと、インバータ回路5₀d、5₀e、5₀g、5₀hと、NOR回路5₀fとを有している。

クロックインバータ回路5₀a、5₀b、5₀cは、2つの制御端子φ1、φ2に入力される制御信号の状態（「1」又は「0」）に応じて、導通状態となって入力信号を反転出力したり、ハイインピーダンス状態（遮断状態）となって入力信号の通過を阻止する。

インバータ回路5₀dは、右1ビットシフト信号RS1を受け取って反転させてクロックインバータ回路5₀aの制御端子φ2に与える。インバータ回路5₀eは、左1ビットシフト信号LS1を受け取って反転させてクロックインバータ回路5₀bの制御端子φ2に与える。

NOR回路5₀fは、右1ビットシフト信号RS1と左1ビットシフト信号RL1とを受け取り、右1ビットシフト信号RS1と左1ビットシフト信号RL1とが両方とも「0」の状態のときのみ「1」の非選択信号を出力する。

インバータ回路5₀gは、NOR回路5₀fの出力信号を受け取って反転させて、クロックインバータ回路5₀cの制御端子φ2に与える。インバータ回路5₀h

は、クロックインバータ回路 5_0a 、クロックインバータ回路 5_0b 、又はクロックインバータ回路 5_0c からの出力信号を反転させて出力する。

【0050】

クロックインバータ回路 5_0a 、 5_0b 、 5_0c において、制御端子 $\phi 2$ には、制御端子 $\phi 1$ に入力された制御信号が反転された制御信号が入力される。

例えば、クロックインバータ回路 5_0a において、制御端子 $\phi 1$ に制御信号としての右 1 ビットシフト信号 $RS1$ が「1」状態で入力され、制御端子 $\phi 2$ に「0」状態の信号が入力された場合は、右シフトデータ ($a_{R63} a_{R62} \dots a_{R3} a_{R2} a_{R1} a_{R0}$) のうちの最下位ビットデータ a_{R0} が反転されてこのクロックインバータ回路 5_0a から出力される。このとき、クロックインバータ回路 5_0b 、 5_0c は遮断状態であり、マルチプレクサ回路 5_0 からは、最下位ビットデータ a_{R0} が出力される。

同様にして、クロックインバータ回路 5_0b の制御端子 $\phi 1$ に左 1 ビットシフト信号 $LS1$ が「1」状態で入力されたときは、マルチプレクサ回路 5_0 からは、左シフトデータ ($a_{L63} a_{L62} \dots a_{L3} a_{L2} a_{L1} a_{L0}$) のうちの最下位ビットデータ a_{L0} が出力される。

また、クロックインバータ回路 5_0c の制御端子 $\phi 1$ に非選択信号が「1」状態で入力されたときは、マルチプレクサ回路 5_0 からは、仮数 ($a_{63} a_{62} \dots a_3 a_2 a_1 a_0$) のうちの最下位ビットデータ a_0 がこのまま出力される。

【0051】

また、マルチプレクサ回路 5_1 、 5_2 、 \dots 、 5_{63} も、マルチプレクサ回路 5_0 と同一の構成であり、図 3 において、沿字を 0 から 1 、 2 、 \dots 、 63 に代えて示されるものとする。さらに、マルチプレクサ回路 6 、 7 、 \dots 、 11 は、入力されるデータや制御信号としてのシフト信号が異なる以外は、マルチプレクサ回路 5 と同一構成であり、図 3 において、 5_0 を 6_0 、 6_1 、 \dots 、 11_{63} に代えて、また例えば 5_0a を 6_0a 等に代えて示されるものとする。

マルチプレクサ回路 5_1 は、右 1 ビットシフト信号 $RS1$ が「1」のときは、右シフトデータ ($a_{R63} a_{R62} \dots a_{R3} a_{R2} a_{R1} a_{R0}$) のうちの 2 ビット目データ a_{R1} を、左 1 ビットシフト信号 $RL1$ が「1」のときは、左シフトデータ ($a_{L63} a_{L62} \dots a_{L3} a_{L2} a_{L1} a_{L0}$) のうちの 2 ビット目データ a_{L1} が出力される。

$2^{62} \cdots a_{L3} a_{L2} a_{L1} a_{L0}$) のうちの 2 ビット目データ a_{L1} を、右 1 ビットシフト信号 $RS1$ と左 1 ビットシフト信号 $RL1$ との両方が「0」のときは、仮数 ($a_{63} a_{62} \cdots a_3 a_2 a_1 a_0$) のうちの 2 ビット目データ a_1 を出力する。

【0052】

以下、マルチプレクサ回路 5_2 、 \cdots 、 5_{62} 、 5_{63} についても同様である。

このようにして、1 ビットシフト回路 5 は、右 1 ビットシフト信号 $RS1$ と左 1 ビットシフト信号 $RL1$ との状態に応じて、入力される仮数 ($a_{63} a_{62} \cdots a_3 a_2 a_1 a_0$)、右シフトデータ ($a_{R63} a_{R62} \cdots a_{R3} a_{R2} a_{R1} a_{R0}$)、左シフトデータ ($a_{L63} a_{L62} \cdots a_{L3} a_{L2} a_{L1} a_{L0}$) のうちいずれか 1 つのデータを選択して出力する。

同様に、2 ビットシフト回路 6 は、右 2 ビットシフト信号 $RS2$ と左 2 ビットシフト信号 $RL2$ との状態に応じて、入力される出力データ ($p_{63} p_{62} \cdots p_3 p_2 p_1 p_0$)、右シフトデータ ($p_{R63} p_{R62} \cdots p_{R3} p_{R2} p_{R1} p_{R0}$)、左シフトデータ ($p_{L63} p_{L62} \cdots p_{L3} p_{L2} p_{L1} p_{L0}$) のうちいずれか 1 つのデータを選択して出力する。

以下、4 ビットシフト回路 7、8 ビットシフト回路 8、16 ビットシフト回路 9、32 ビットシフト回路 11 についても同様であり、シフト回路 1 は、入力された仮数 ($a_{63} a_{62} \cdots a_3 a_2 a_1 a_0$) を、1 ビットから 64 ビットまでの任意のシフト量シフトさせる。

【0053】

図 1 及び図 2 に示すように、シフトアウト検出回路 2 において、1 ビット検出回路 (部分丸め検出回路) 13 は、1 ビットシフト回路 5 におけるシフト処理の結果、「1」がシフトアウトしたことを検出する。

2 ビット検出回路 14 は、2 ビットシフト回路 6 におけるシフト処理の結果、「1」がシフトアウトしたことを検出する。4 ビット検出回路 15 は、4 ビットシフト回路 7 におけるシフト処理の結果、「1」がシフトアウトしたことを検出する。また、1 ビット検出回路 13 における検出結果が入力されて、この検出結果を含む信号が出力される。

【0054】

8ビット検出回路16は、8ビットシフト回路8におけるシフト処理の結果、「1」がシフトアウトしたことを検出する。16ビット検出回路17は、16ビットシフト回路9におけるシフト処理の結果、「1」がシフトアウトしたことを検出する。

32ビット検出回路18は、32ビットシフト回路11におけるシフト処理の結果、「1」がシフトアウトしたことを検出する。

中継出力回路19は、2ビット検出回路14と4ビット検出回路15との検出結果が入力され、1ビットシフト回路5、2ビットシフト回路6、4ビットシフト回路7における検出結果を含む信号が出力される。

集約出力回路（丸め検出信号出力回路）21は、中継出力回路19、8ビット検出回路16、16ビット検出回路17及び32ビット検出回路18の検出結果が入力され、1ビットシフト回路5、2ビットシフト回路6、4ビットシフト回路7、8ビットシフト回路8、16ビットシフト回路9、32ビットシフト回路11のいずれか1つで「1」がシフトアウトした場合に、スティッキー信号STOUTを「1」として出力する。

【0055】

1ビット検出回路13は、図4に示すように、2入力NAND回路からなり、右1ビットシフト信号RS1と最下位ビットデータ a_0 とが入力され、共に「1」のときにシフトアウトしたデータのなかに「1」が含まれることを丸め処理回路4に通知するためのスティッキー信号ST1を出力する。

すなわち、1ビット検出回路13は、右1ビットシフト信号RS1が「1」であって、1ビットシフト回路5において、1ビットの右シフトが実行され、かつ、1ビットシフト回路5に入力される仮数 $(a_{63}a_{62}\cdots a_3a_2a_1a_0)$ のうちの最下位ビットデータ a_0 が「1」であるときに、スティッキー信号ST1を「0」として出力する。

【0056】

2ビット検出回路14は、図5に示すように、最下位ビットデータ p_0 と2ビット目データ p_1 とのOR出力と、右2ビットシフト信号RS2とについてNANDをとる論理演算を行って出力する2入力OR 2入力NAND回路23と、2入

力OR 2入力NAND回路23の出力を反転するインバータ回路24とを有している。

すなわち、2ビット検出回路14は、右2ビットシフト信号RS2が「1」であって、2ビットシフト回路6において、2ビットの右シフトが実行され、かつ、2ビットシフト回路6に入力される出力データ($p_{63}p_{62}\cdots p_3p_2p_1p_0$)のうちの最下位ビットデータ p_0 と2ビット目データ p_1 との少なくともいずれか一方が「1」であるときに、シフトアウトしたデータのなかに「1」が含まれることを通知するためのスティッキー信号ST2を「1」として出力する。

【0057】

4ビット検出回路15は、図6に示すように、最下位ビットデータ q_0 から4ビットデータ q_3 までのデータについてNORをとる論理演算を行って出力する4入力NOR回路25と、右4ビットシフト信号RS3を反転して出力するインバータ回路26と、インバータ回路26の出力と4入力NOR回路25の出力とのOR出力とスティッキー信号ST1とについてNANDをとる論理演算を行って出力する2入力OR 2入力NAND回路27とを有している。

すなわち、4ビット検出回路15は、右4ビットシフト信号RS3が「1」であって、4ビットシフト回路7において、4ビットの右シフトが実行され、かつ4ビットシフト回路7に入力される出力データ($q_{63}q_{62}\cdots q_3q_2q_1q_0$)のうちの最下位ビットデータ q_0 から4ビット目データ q_3 までのデータのうち少なくともいつのデータが「1」であるか、または、スティッキー信号ST1が「0」のときに、シフトアウトしたデータのなかに「1」が含まれることを通知するためのスティッキー信号ST13を「1」として出力する。

【0058】

8ビット検出回路16は、図7に示すように、最下位ビットデータ r_0 から4ビット目データ r_3 までのデータについてNORをとる論理演算を行って出力する4入力NOR回路28と、5ビット目データ r_4 から8ビット目データ r_7 までのデータについてNORをとる論理演算を行って出力する4入力NOR回路29と、右8ビットシフト信号RS4を反転して出力するインバータ回路31と、4入力NOR回路28と4入力NOR回路29とのAND出力と、インバータ回路

31の出力とについてNORをとる論理演算を行って出力する2入力AND2入力NOR回路32と、2入力NAND2入力NOR回路32出力を反転して出力するインバータ回路33とを有している。

すなわち、8ビット検出回路16は、右8ビットシフト信号RS4が「1」であって、8ビットシフト回路8において、8ビットの右シフトが実行され、かつ、8ビットシフト回路8に入力される出力データ($r_{63}r_{62}\cdots r_3r_2r_1r_0$)のうちの最下位ビットデータ r_0 から8ビット目データ r_7 までのデータのうち少なくともいつのデータかが「1」であるときに、シフトアウトしたデータのなかに「1」が含まれることを通知するためのスティッキー信号ST4を「0」として出力する。

【0059】

16ビット検出回路17は、図8に示すように、最下位ビットデータ s_0 から4ビット目データ s_3 までのデータについてNORをとる論理演算を行って出力する4入力NOR回路34と、5ビット目データ s_4 から8ビット目データ s_7 までのデータについてNORをとる論理演算を行って出力する4入力NOR回路35と、9ビット目データ s_8 から12ビット目データ s_{11} までのデータについてNORをとる論理演算を行って出力する4入力NOR回路36と、13ビット目データ s_{12} から16ビット目データ s_{15} までのデータについてNORをとる論理演算を行って出力する4入力NOR回路37と、4入力NOR回路34、35、36、37の出力についてNANDをとる論理演算を行って出力する4入力NAND回路38と、右16ビットシフト信号RS5と4入力NAND回路38の出力についてNANDをとる論理演算を行って出力する4入力NAND回路39とを有している。

すなわち、16ビット検出回路17は、右16ビットシフト信号RS5が「1」であって、16ビットシフト回路9において、16ビットの右シフトが実行され、かつ、16ビットシフト回路9に入力される出力データ($s_{63}s_{62}\cdots s_3s_2s_1s_0$)のうちの最下位ビットデータ s_0 から16ビット目データ s_{15} までのデータのうち少なくともいつのデータかが「1」であるときに、シフトアウトしたデータのなかに「1」が含まれることを通知するためのスティッキー信号ST5

を「0」として出力する。

【0060】

32ビット検出回路18は、図9に示すように、4入力NOR回路41、42、…、48と、4入力NAND回路49、51と、2入力OR2入力NAND回路52とを有している。

4入力NOR回路41は、最下位ビットデータ t_0 から4ビット目データ t_3 までのデータについてNORをとる論理演算を行って出力する。4入力NOR回路42は、5ビット目データ t_4 から8ビット目データ t_7 までのデータについてNORをとる論理演算を行って出力する。4入力NOR回路43は、9ビット目データ t_8 から12ビット目データ t_{11} までのデータについてNORをとる論理演算を行って出力する。

4入力NOR回路44は、13ビット目データ t_{12} から16ビット目データ t_{15} までのデータについてNORをとる論理演算を行って出力する。4入力NOR回路45は、17ビット目データ t_{16} から20ビット目データ t_{19} までのデータについてNORをとる論理演算を行って出力する。4入力NOR回路46は、21ビット目データ t_{20} から24ビット目データ t_{23} までのデータについてNORをとる論理演算を行って出力する。4入力NOR回路47は、25ビット目データ t_{24} から28ビット目データ t_{27} までのデータについてNORをとる論理演算を行って出力する。4入力NOR回路48は、29ビット目データ t_{28} から32ビット目データ t_{31} までのデータについてNORをとる論理演算を行って出力する。

【0061】

4入力NAND回路49は、4入力NOR回路41、42、43、44の出力についてNANDをとる論理演算を行って出力する。4入力NAND回路51は、4入力NOR回路45、46、47、48の出力についてNANDをとる論理演算を行って出力する。2入力OR2入力NAND回路52は、4入力NAND回路49と4入力NAND回路51とのORをとる論理演算出力と、右32ビットシフト信号RS6とのNANDをとる論理演算を行う。

すなわち、32ビット検出回路18は、図9に示すように、右32ビットシフ

ト信号RS6が「1」であって、32ビットシフト回路11において、32ビットの右シフトが実行され、かつ、32ビットシフト回路11に入力される出力データ($t_{63}t_{62}\cdots t_3t_2t_1t_0$)のうちの最下位ビットデータ t_0 から32ビット目データ t_{31} までのデータのうち少なくともひとつのデータが「1」であるときに、シフトアウトしたデータのなかに「1」が含まれることを通知するためのスティッキー信号ST6を「0」として出力する。

【0062】

中継出力回路19は、図2に示すように、スティッキー信号ST2とスティッキー信号ST3とについてNORをとる論理演算を行うNOR回路からなり、スティッキー信号ST2とスティッキー信号ST13との少なくともいずれか一方が「1」のときに、出力信号ST123を「0」とする。

集約出力回路21は、図2に示すように、中継出力回路19の出力、スティッキー信号ST4、5、6についてNANDをとる論理演算を行ってスティッキー信号STを出力する4入力NAND回路からなり、中継出力回路19の出力信号ST123、スティッキー信号ST4、5、6のうち、少なくともいずれか1つが「0」のときに、スティッキー信号STOUTを「1」として出力する。

【0063】

なお、この例では、「「1」のシフトアウトあり」が、前段側（例えば1ビット検出回路13）で検出される場合には、前段側の検出回路が直接に最終段の集約出力回路21に接続されるよりも、集約出力回路21からの信号出力に、若干の遅延が生じるものの、例えば「「1」のシフトアウトなし」の場合は、その確定は、32ビット検出回路18からの出力が確定した後になされるので、32ビット検出回路18の出力確定のタイミングに略合わせるように、例えばスティッキー信号ST2を中継出力回路19を経由させている。

この例では、このようにして、各スティッキー信号が集約出力回路21から出力されるまでの論理段数を4段として、シフトアウト検出処理に係る時間をシフト量にかかわらず揃えるように構成されている。

さらに、例えば、前段側の検出回路（例えば1ビット検出回路13）を構成する論理回路のトランジスタのサイズを、後段側（例えば32ビット検出回路18

）のトランジスタのサイズに比べて小さくして演算処理時間を後段側に合わせる代わりに、全体のサイズの縮小化を図っている。また、複合ゲートの場合は、トランジスタのサイズを比較的大きくして演算処理時間の高速化を図っている。

【0064】

次に、この例のシフト回路1及びシフトアウト検出回路2の動作について説明する。

例えば、3ビット右へシフトさせる場合で、仮数 ($a_{63}a_{62}\cdots a_3a_2a_1a_0$) の最下位ビットデータ a_0 、2ビット目データ a_1 、3ビット目データ a_2 が共に「1」のときの動作について説明する。

まず、図1、図2、及び図10(a)に示すように、シフト回路1に仮数 ($a_{63}a_{62}\cdots a_3a_2a_1a_0$) が入力される。

比較減算回路3は、右1ビットシフト信号RS1及び右2ビットシフト信号RS2のみ「1」とし、桁合せシフト回路1及びシフトアウト検出回路2に与える。

【0065】

1ビットシフト回路5において、「1」状態の右1ビットシフト信号RS1を受け取ると、例えば、マルチプレクサ回路5₀では、クロックインバータ回路5_{0a}のみ導通状態となって、右シフトデータ ($a_{R63}a_{R62}\cdots a_{R3}a_{R2}a_{R1}a_{R0}$) のうちの最下位ビットデータ a_{R0} が反転されてクロックインバータ回路5_{0a}から出力され、さらにインバータ回路5_{0h}によって再び反転されて最下位ビットデータ a_{R0} に戻され、2ビットシフト回路6のマルチプレクサ回路6₀へ送出される。

マルチプレクサ回路5₁、5₂、…、5₆₃においても同様に、右シフトデータ ($a_{R63}a_{R62}\cdots a_{R3}a_{R2}a_{R1}a_{R0}$) の対応するビットのデータが選択され、右シフトデータ ($a_{R63}a_{R62}\cdots a_{R3}a_{R2}a_{R1}a_{R0}$) ($= (0a_{63}a_{62}\cdots a_3a_2a_1)$) が、図10(b)に示すように、1ビット右シフトされた出力データ ($p_{63}p_{62}\cdots p_3p_2p_1p_0$) として、2ビットシフト回路6へ送出される。

【0066】

2ビットシフト回路6においては、「1」状態の右2ビットシフト信号RS2

を受け取ると、例えば、マルチプレクサ回路 6_0 では、クロックインバータ回路 6_0a のみ導通状態となって、右シフトデータ ($P_{R63} P_{R62} \dots P_{R3} P_{R2} P_{R1} P_{R0}$) のうちの最下位ビットデータ P_{R0} が反転されてクロックインバータ回路 6_0a から出力され、さらにインバータ回路 6_0h によって再び反転されて最下位ビットデータ P_{R0} に戻され、4ビットシフト回路7のマルチプレクサ回路 7_0 へ送出される。

マルチプレクサ回路 6_1 、 6_2 、 \dots 、 6_{63} においても同様に、右シフトデータ ($P_{R63} P_{R62} \dots P_{R3} P_{R2} P_{R1} P_{R0}$) の対応するビットのデータが選択され、右シフトデータ ($P_{R63} P_{R62} \dots P_{R3} P_{R2} P_{R1} P_{R0}$) ($= (000a_{63}a_{62} \dots a_3)$) が、図10(c)に示すように、3ビット右シフトされた出力データ ($q_{63}q_{62} \dots q_3q_2q_1q_0$) として、4ビットシフト回路7へ送出される。

【0067】

4ビットシフト回路7においては、例えば、マルチプレクサ回路 7_0 では、クロックインバータ回路 7_0c のみ導通状態となって、出力データ ($q_{63}q_{62} \dots q_3q_2q_1q_0$) のうちの最下位ビットデータ q_0 が反転されてクロックインバータ回路 7_0a から出力され、さらにインバータ回路 7_0h によって再び反転されて最下位ビットデータ q_0 に戻され、8ビットシフト回路8のマルチプレクサ回路 8_0 へ送出される。

マルチプレクサ回路 7_1 、 7_2 、 \dots 、 7_{63} においても同様に、出力データ ($q_{63}q_{62} \dots q_3q_2q_1q_0$) の対応するビットのデータが選択され、出力データ ($q_{63}q_{62} \dots q_3q_2q_1q_0$) が、出力データ ($r_{63}r_{62} \dots r_3r_2r_1r_0$) として、8ビットシフト回路8へ送出される。

【0068】

8ビットシフト回路8、16ビットシフト回路9及び32ビットシフト回路11においても、例えばマルチプレクサ回路 8_0 (9_0 、 11_0) では、クロックインバータ回路 8_0c (9_0c 、 11_0c) のみ導通状態となるので、($r_{63}r_{62} \dots r_3r_2r_1r_0$) $= (s_{63}s_{62} \dots s_3s_2s_1s_0) = (t_{63}t_{62} \dots t_3t_2t_1t_0)$ が成り立ち、32ビットシフト回路11からの出力データ ($b_{63}b_{62} \dots b_3b_2b_1b_0$) は、この桁合せシフト回路1に入力された仮数 ($a_{63}a_{62} \dots a_3a_2a_1$

a_0) が 3 ビット右シフトされたデータとなる。

【 0 0 6 9 】

一方、シフトアウト検出回路 4 においては、図 1 及び図 2 に示すように、1 ビット検出回路 1 3 が、右 1 ビットシフト信号 $RS1$ と、仮数 ($a_{63} a_{62} \cdots a_3 a_2 a_1 a_0$) のうちの最下位ビットデータ a_0 が共に「1」であるときに、スティッキー信号 $ST1$ を「0」として出力する。この例では、($a_0=1$) としたので、「0」状態のスティッキー信号 $ST1$ が 4 ビット検出回路 1 5 へ送出される。

また、2 ビット検出回路 1 4 においては、右 2 ビットシフト信号 $RS2$ が「1」であり、出力データ ($p_{63} p_{62} \cdots p_3 p_2 p_1 p_0$) のうちの最下位ビットデータ p_0 と 2 ビット目データ p_1 との少なくともいずれか一方が「1」であるときに、スティッキー信号 $ST2$ を「1」として出力する。

この例では、($(p_{63} p_{62} \cdots p_3 p_2 p_1 p_0) = (a_{R63} a_{R62} \cdots a_{R3} a_{R2} a_{R1} a_{R0}) = (0 a_{63} a_{62} \cdots a_3 a_2 a_1)$) であり、($a_1=a_2=1$) であるので、($p_1=p_0=1$) となる。したがって、2 ビット検出回路 1 4 は、「1」状態のスティッキー信号 $ST2$ を中継出力回路 1 9 へ送出する。

【 0 0 7 0 】

4 ビット検出回路 1 5 においては、右 4 ビットシフト信号 $RS3$ が「1」であり、4 ビットシフト回路 7 に入力される出力データ ($q_{63} q_{62} \cdots q_3 q_2 q_1 q_0$) のうちの最下位ビットデータ q_0 から 4 ビット目データ q_3 までのデータのうち少なくともいつのデータが「1」であるか、または、スティッキー信号 $ST1$ が「0」のときに、スティッキー信号 $ST13$ を「1」として出力する。

この例では、右 4 ビットシフト信号 $RS3$ は「0」であるが、スティッキー信号 $ST1$ が「0」であるので、スティッキー信号 $ST13$ を「1」として出力する。

中継出力回路 1 9 では、スティッキー信号 $ST2$ とスティッキー信号 $ST3$ との少なくともいずれか一方が「1」のときに、出力信号 $ST123$ を「0」とする。

この例では、スティッキー信号 $ST2$ とスティッキー信号 $ST13$ とは、共に「1」であるので、「0」状態の出力信号 $ST123$ を出力回路 2 1 へ送出する。

【0071】

8ビット検出回路16では、右8ビットシフト信号RS4が「1」であり、出力データ ($r_{63}r_{62}\cdots r_3r_2r_1r_0$) のうちの最下位ビットデータ r_0 から8ビット目データ r_7 までのデータのうち少なくとも1つのデータが「1」であるときに、スティッキー信号ST4を「0」として出力する。

この例では、右8ビットシフト信号RS4が「1」であるので、「1」状態のスティッキー信号ST4を集約出力回路21へ送出する。

16ビット検出回路17では、右16ビットシフト信号RS5が「1」であり、出力データ ($s_{63}s_{62}\cdots s_3s_2s_1s_0$) のうちの最下位ビットデータ s_0 から16ビット目データ s_{15} までのデータのうち少なくとも1つのデータが「1」であるときに、スティッキー信号ST5を「0」として出力する。

この例では、右16ビットシフト信号RS5が「0」であるので、「1」状態のスティッキー信号ST5を出力回路21へ送出する。

【0072】

32ビット検出回路18では、右32ビットシフト信号RS6が「1」であり、出力データ ($t_{63}t_{62}\cdots t_3t_2t_1t_0$) のうちの最下位ビットデータ t_0 から32ビット目データ t_{31} までのデータのうち少なくとも1つのデータが「1」であるときに、スティッキー信号ST6を「0」として出力する。

この例では、右32ビットシフト信号RS6が「0」であるので、「1」状態のスティッキー信号ST6を集約出力回路21へ送出する。

集約出力回路21は、中継出力回路19からの出力信号ST123、スティッキー信号ST4、ST5、ST6のうち、少なくともいずれか1つが「0」のときに、スティッキー信号STOUTを「1」として出力する。

この例では、中継出力回路19からの出力信号ST123が「0」であるので、シフト回路1におけるシフト処理過程で、「1」のシフトアウトが検出されたことを示す「1」状態のスティッキー信号STOUTを丸め処理回路4へ送出する。

【0073】

なお、上位方向へのシフト（左シフト）も上述した右シフトと同様に実行される。

この左シフト処理は、例えば、減算処理を行った場合に、整数部が「0」となったときの正規化シフトや、桁合せシフトを行う場合でも、一旦上位方向への所定のシフト量左シフトを行ってシフト回路1から出力した後に、出力したデータを再び入力して下位方向への右シフトを行って、任意のシフト量の右シフトを行うようなときに、なされる。

【0074】

次に、この例のシフト回路1及びシフトアウト検出回路2を用いた浮動小数点加減算回路61について説明する。

浮動小数点加減算回路（浮動小数点演算回路）61は、図11に示すように、指数E1、E2の大小を判断する比較減算回路62と、桁合せシフト回路63と、シフトアウト検出回路64と、丸め処理回路65と、仮数加減算回路66と、正規化シフト回路67と、シフトアウト検出回路68と、丸め処理回路69と、指数増減回路71とを備えている。

比較減算回路62は、2つの浮動小数点数X1、X2が入力されて、例えば浮動小数点数X1と浮動小数点数X2との加算結果（和） $X3 (= X1 + X2)$ を出力する回路であり、浮動小数点数X1、X2の指数E1、E2が入力され指数E1、E2の大小を判断する。桁合せシフト回路63は、指数が小さい方の浮動小数点数の仮数を下位方向にシフトして桁を合わせる。

シフトアウト検出回路64は、シフトアウトするデータのなかに1つでも「1」が含まれる否か調べる。丸め処理回路65は、シフトしたデータを所定の丸め処理方法でフォーマットの桁数まで縮める。仮数加減算回路66は、仮数の加減算を行う。

【0075】

正規化シフト回路67は、加減算結果の正規化を行う。シフトアウト検出回路68は、正規化の結果、シフトアウトするデータがあり、かつシフトアウトするデータのなかに1つでも「1」が含まれる否か調べる。

丸め処理回路69は、シフトしたデータを所定の丸め処理方法でフォーマットの桁数まで縮める。指数増減回路71は、正規化シフト量に基づいて指数を補正する。

ここで、桁合せシフト回路 63 及びシフトアウト検出回路 64、正規化シフト回路 67 及びシフトアウト検出回路 68 としては、上述したシフト回路 1 及びシフトアウト検出回路 2 が用いられる。

【0076】

次に、この例の浮動小数点数加減算回路 61 の動作について説明する。

まず、比較減算回路 62 は、2 つの浮動小数点数 $X1$ 、 $X2$ の指数 $E1$ 、 $E2$ が入力されると、指数 $E1$ 、 $E2$ の大きさを判断し、差分 ($E1 - E2$) または ($E2 - E1$) を算出して、比較信号及び桁合せシフト量信号を出力する。

桁合せシフト回路 63 は、浮動小数点数 $X1$ 、 $X2$ の仮数 $F1$ 、 $F2$ と、比較信号及び桁合せシフト量信号とが入力されると、比較信号及び桁合せシフト量信号に基づいて、指数 $E1$ 、 $E2$ を大きい方の値に一致させ、指数の小さい方の仮数を指数部の差分だけ下位方向にシフトする。

【0077】

桁合せシフト回路 63 には、仮数 $F1$ 、 $F2$ のうち、指数の小さい方の仮数が入力され、例えば 64 ビットの場合、 $F1$ ($F2$) = ($a_{63}a_{62}\cdots a_3a_2a_1a_0$) を構成する各桁のデータ a_{63} 、 a_{62} 、 \cdots 、 a_3 、 a_2 、 a_1 、 a_0 がそれぞれ入力される。

シフトアウト検出回路 64 は、桁合せシフト回路 63 においてシフト処理した結果、シフトアウトするデータのなかに少なくとも 1 つの「1」が含まれる場合に、丸め処理判定を促すスティッキー信号 $STOUT$ を「1」として出力する。

ここで、シフトアウト検出回路 64 から出力されるスティッキー信号 $STOUT$ は、浮動小数点演算の桁合わせによって生じるデータ補正の是非の判断のために用いられる。

【0078】

丸め処理回路 65 は、桁合せシフト回路 63 において得られた演算結果を、シフトアウト検出回路 64 から出力されたスティッキー信号 $STOUT$ とシフトアウトするデータとに基づいて、所定の丸め処理方法でフォーマットの桁数（この例では、64 桁）まで縮める。ここで、丸め処理回路 65 は、スティッキー信号 $STOUT$ を受け取って、丸め処理方法の判定処理を開始した後に、桁合せシフト回路

6 3 からシフト処理結果を受け取って、所定の丸め処理を行う。

丸め処理回路 6 5 は、累積誤差を低減するために、スティッキー信号 S T O U T、とシフトアウトするデータに基づいて、例えば、近傍の値に向かって丸める、0 に向かって丸める、正の無限大に向かって丸める、負の無限大に向かって丸める等の丸め処理方法の中から適切な丸め処理方法を選択し、実行する。

【 0 0 7 9 】

仮数加減算回路 6 6 は、丸め処理回路 6 5 によって丸め処理された桁合せ後の仮数の加減算を行う。

正規化シフト回路 6 7 は、仮数加減算回路 6 6 において得られた加減算結果の最上位「1」の桁から整数部までの桁数を正規化シフト量として計算し、この正規化シフト量だけシフトする。

シフトアウト検出回路 6 8 は、正規化シフト回路 6 7 においてシフト処理した結果、シフトアウトするデータのなかに少なくとも1つの「1」が含まれる場合に、丸め処理判定を促すスティッキー信号 S T O U T を出力する。

ここで、シフトアウト検出回路 6 8 から出力されるスティッキー信号 S T O U T は、浮動小数点演算の桁合わせによって生じるデータ補正の是非の判断のために用いられる。

【 0 0 8 0 】

丸め処理回路 6 9 は、正規化シフト回路 6 7 において得られた演算結果を、シフトアウト検出回路 6 8 から出力されたスティッキー信号 S T O U T とシフトアウトするデータに基づいて、所定の丸め処理方法でフォーマットの桁数まで縮める。

ここで、丸め処理回路 6 9 は、スティッキー信号 S T O U T を受け取って、丸め処理方法の判定処理を開始した後に、正規化シフト回路 6 7 桁合せシフト回路 3 からシフト処理結果を受け取って、所定の丸め処理を行う。

指数増減回路 7 1 は、正規化シフト回路 6 7 において得られた正規化シフト量に基づいて指数を補正し、演算結果 X 3 (= X 1 + X 2) の指数 E 3 を出力する。

【 0 0 8 1 】

このように、この例の構成によれば、1 ビット検出回路 1 3、2 ビット検出回

路 1 4、4 ビット検出回路 1 5、8 ビット検出回路 1 6、1 6 ビット検出回路 1 7、3 2 ビット検出回路 1 8 から出力されたスティッキー信号 S T 1、S T 2、…、S T 6 は、直接か、または中継出力回路 1 9（スティッキー信号 S T 1 は、4 ビット検出回路 1 5 も）を経由するのみで、集約出力回路 2 1 に集められ、最終出力としてのスティッキー信号 S T O U T が出力される。例えば、スティッキー信号 S T 1（S T 2、S T 3、…、S T 6）が通過する論理段数は、従来技術の 1 3 段に対し、シフト量にかかわらず、4 段に相当する段数となる。

このため、従来技術の場合のように例えば「1」のスティッキー信号 S 1 を、全部の 2 入力セレクタ 1 2 2、1 2 3、…、1 2 7 を経由して出力して生じる無用な遅延が、低減されるために、高速に、「1」のシフトアウト（丸め）の発生を検出し、桁合せシフト回路 6 3（正規化シフト回路 6 7）からのシフトデータの出力前に、丸め処理回路 6 5（6 9）へ、「1」のシフトアウトの発生を知らせるスティッキー信号 S T O U T を送ることができる。したがって、浮動小数点加減算回路 6 1 の動作速度の向上に寄与することができる。

【 0 0 8 2 】

また、集約出力回路 2 1 は、4 入力の N A N D 回路が用いられるので、例えば 6 入力の N A N D 回路に比べ、演算処理に要する時間を若干短縮することができる。

また、前段側の検出回路（例えば 1 ビットシフト回路 1 3）を構成する論理回路のトランジスタのサイズを、後段側（例えば 3 2 ビット検出回路 1 8）のトランジスタのサイズに比べて小さくすることによって、平均的な演算処理時間の短縮化を図りつつ、シフト回路及びシフトアウト検出回路全体のサイズの縮小化を達成することができる。

【 0 0 8 3 】

◇第 2 実施例

図 1 2 は、この発明の第 2 実施例であるシフト回路を構成するマルチプレクサ回路の構成を示す回路図である。

この例が上述した第 1 実施例と異なるところは、1 ビットシフト回路 1 及び 2 ビットシフト回路 2 を纏めて、1 ビット、2 ビットまたは 3 ビットのシフトを 1

つの可変シフト回路で実行するように構成した点である。

これ以外の構成は、上述した第1実施例と略同一であるので、その説明を簡単に行う。

【0084】

この可変シフト回路は、64ビット分のマルチプレクサ回路 81_0 、 81_1 、…、 81_{63} からなり、例えば、最下位ビットに対応するマルチプレクサ回路 81_0 は、図12に示すように、クロックインバータ回路 81_0a 、 81_0b 、 81_0c 、 81_0d 、 81_0e 、 81_0f 、 81_0g と、2入力NAND回路 81_0h 、 81_0j 、 81_0m 、 81_0p と、インバータ回路 81_0i 、 81_0k 、 81_0l 、 81_0n 、 81_0o 、 81_0q 、 81_0r 、 81_0s 、 81_0u 、 81_0v と、NOR回路 81_0t とを有している。

クロックインバータ回路 81_0a 、 81_0b 、 81_0c 、 81_0d 、 81_0e 、 81_0f 、 81_0g は、2つの制御端子 $\phi 1$ 、 $\phi 2$ に入力される制御信号の状態に応じて、導通状態となって入力信号を反転出力したり、遮断状態となって入力信号の通過を阻止する。

2入力NAND回路 81_0h は、右1ビットシフト信号RS1及び右2ビットシフト信号RS2を受け取って、両者のNANDをとり結果を出力する。

インバータ回路 81_0i は、2入力NAND回路 81_0h の出力を反転出力する。

2入力NAND回路 81_0j は、左1ビットシフト信号LS1及び左2ビットシフト信号LS2を受け取って、両者のNANDをとり結果を出力する。

インバータ回路 81_0k は、2入力NAND回路 81_0j の出力を反転出力する。

インバータ回路 81_0l は、右1ビットシフト信号RS1を反転出力する。

2入力NAND回路 81_0m は、インバータ回路 81_0l の出力及び右2ビットシフト信号RS2を受け取って、両者のNANDをとり結果を出力する。

インバータ回路 81_0n は、2入力NAND回路 81_0m の出力を反転出力する。

インバータ回路 81_0o は、左1ビットシフト信号LS1を受け取って反転出力

する。

【 0 0 8 5 】

2入力NAND回路 81_0p は、インバータ回路 81_0o の出力及び左2ビットシフト信号 $LS2$ を受け取って、両者のNANDをとり結果を出力する。

インバータ回路 81_0q は、2入力NAND回路 81_0p の出力を反転出力する。

インバータ回路 81_0r は、右1ビットシフト信号 $RS1$ を受け取って反転させてクロックインバータ回路 81_0e の制御端子 $\phi 2$ に与える。

インバータ回路 81_0s は、左1ビットシフト信号 $LS1$ を受け取って反転させてクロックインバータ回路 81_0f の制御端子 $\phi 2$ に与える。

NOR回路 81_0t は、右1ビットシフト信号 $RS1$ と左1ビットシフト信号 $L1$ と右2ビットシフト信号 $RS2$ と左2ビットシフト信号 $LS2$ とを受け取り、4者が全て「0」状態のときのみ「1」状態の非選択信号を出力する。

インバータ回路 81_0u は、NOR回路 81_0t の出力信号を受け取って反転させて、クロックインバータ回路 81_0g の制御端子 $\phi 2$ に与える。

インバータ回路 81_0v は、クロックインバータ回路 81_0a 、 81_0b 、 81_0c 、 81_0d 、 81_0e 、 81_0f 、 81_0g のいずれか1つからの出力信号を反転させて出力する。

【 0 0 8 6 】

ここで、クロックインバータ回路 81_0a の制御端子 $\phi 1$ 、 $\phi 2$ には、それぞれ、インバータ回路 81_0i 、2入力NAND回路 81_0h からの出力信号が入力される。

また、クロックインバータ回路 81_0b の制御端子 $\phi 1$ 、 $\phi 2$ には、それぞれ、インバータ回路 81_0k 、2入力NAND回路 81_0j からの出力信号が入力される。また、クロックインバータ回路 81_0c の制御端子 $\phi 1$ 、 $\phi 2$ には、それぞれ、インバータ回路 81_0n 、2入力NAND回路 81_0m からの出力信号が入力される。また、クロックインバータ回路 81_0d の制御端子 $\phi 1$ 、 $\phi 2$ には、それぞれ、インバータ回路 81_0q 、2入力NAND回路 81_0p からの出力信号が入力される。

また、クロックインバータ回路 81_0e の制御端子 $\phi 1$ 、 $\phi 2$ には、それぞれ、右1ビットシフト信号 $RS1$ 、インバータ回路 81_0r からの出力信号が入力される。また、クロックインバータ回路 81_0f の制御端子 $\phi 1$ 、 $\phi 2$ には、それぞれ、左1ビットシフト信号 $LS1$ 、インバータ回路 81_0s からの出力信号が入力される。また、クロックインバータ回路 81_0g の制御端子 $\phi 1$ 、 $\phi 2$ には、それぞれ、NOR回路 81_0t 、インバータ回路 81_0u からの出力信号が入力される。

【0087】

次に、このマルチプレクサ回路 81_0 の動作について説明する。

まず、右1ビットシフト信号 $RS1$ と右2ビットシフト信号 $RS2$ のみを同時に受け取った場合は、2入力NAND回路 81_0h の出力が「0」となり、クロックインバータ回路 81_0a の制御端子 $\phi 1$ 、 $\phi 2$ には、それぞれ、「1」、「0」が入力されて、クロックインバータ回路 81_0a のみが導通状態となり、仮数の最下位ビットデータ a_0 が右3ビットシフトされたデータ a_{3R0} が、クロックインバータ回路 81_0a を通過して、インバータ回路 81_0v から出力される。

また、左1ビットシフト信号 $LS1$ と左2ビットシフト信号 $LS2$ のみを同時に受け取った場合は、2入力NAND回路 81_0j の出力が「0」となり、クロックインバータ回路 81_0b の制御端子 $\phi 1$ 、 $\phi 2$ には、それぞれ、「1」、「0」が入力されて、クロックインバータ回路 81_0b のみが導通状態となり、仮数の最下位ビットデータ a_0 が左3ビットシフトされたデータ a_{3L0} が、クロックインバータ回路 81_0b を通過して、インバータ回路 81_0v から出力される。

また、右2ビットシフト信号 $RS2$ のみを受け取った場合は、2入力NAND回路 81_0m の出力が「0」となり、クロックインバータ回路 81_0c の制御端子 $\phi 1$ 、 $\phi 2$ には、それぞれ、「1」、「0」が入力されて、クロックインバータ回路 81_0c のみが導通状態となり、仮数の最下位ビットデータ a_0 が右2ビットシフトされたデータ a_{2R0} が、クロックインバータ回路 81_0c を通過して、インバータ回路 81_0v から出力される。

【0088】

また、左2ビットシフト信号 $LS2$ のみを受け取った場合は、2入力NAND回路 81_0p の出力が「0」となり、クロックインバータ回路 81_0d の制御端子

$\phi 1$ 、 $\phi 2$ には、それぞれ、「1」、「0」が入力されて、クロックインバータ回路 81_0d のみが導通状態となり、仮数の最下位ビットデータ a_0 が左2ビットシフトされたデータ a_{2L0} が、クロックインバータ回路 81_0d を通過して、インバータ回路 81_0v から出力される。

また、右1ビットシフト信号 $RS1$ のみを受け取った場合は、クロックインバータ回路 81_0e の制御端子 $\phi 1$ 、 $\phi 2$ には、それぞれ、「1」、「0」が入力されて、クロックインバータ回路 81_0e のみが導通状態となり、仮数の最下位ビットデータ a_0 が右1ビットシフトされたデータ a_{R0} が、クロックインバータ回路 81_0e を通過して、インバータ回路 81_0v から出力される。

【0089】

また、左1ビットシフト信号 $LS1$ のみを受け取った場合は、クロックインバータ回路 81_0f の制御端子 $\phi 1$ 、 $\phi 2$ には、それぞれ、「1」、「0」が入力されて、クロックインバータ回路 81_0f のみが導通状態となり、仮数の最下位ビットデータ a_0 が左1ビットシフトされたデータ a_{L0} が、クロックインバータ回路 81_0f を通過して、インバータ回路 81_0v から出力される

また、右1ビットシフト信号 $RS1$ 、右2ビットシフト信号 $RS2$ 、左1ビットシフト信号 $LS1$ 、左2ビットシフト信号 $LS2$ のうち、いずれの信号も受け取らなかった場合は、NOR回路 81_0t からは「1」状態の非選択信号が出力され、クロックインバータ回路 81_0g の制御端子 $\phi 1$ 、 $\phi 2$ には、それぞれ、「1」、「0」が入力されて、クロックインバータ回路 81_0g のみが導通状態となり、仮数の最下位ビットデータ a_0 がこのまま、クロックインバータ回路 81_0g を通過して、インバータ回路 81_0v から出力される

2ビット目以上も同様に、所定のシフト量シフトされ、仮数 ($a_{63}a_{62}\cdots a_3a_2a_1a_0$) のシフト処理が行われる。

【0090】

この例の構成によれば、可変シフト回路、4ビット検出回路15、8ビット検出回路16、16ビット検出回路17、32ビット検出回路18から出力されたスティッキー信号は、直接か、または中継出力回路19を経由するのみで、集約出力回路21に集められ、最終出力としてのスティッキー信号 $STOUT$ が出力さ

れる。したがって、スティッキー信号 $STOUT$ を、丸め処理回路 65 (69) へ高速に送ることができ、浮動小数点加減算回路 61 の動作速度の向上に寄与することができる。

また、例えば、マルチプレクサ回路 81_0 における論理段数を、マルチプレクサ回路 5_0 、 6_0 を用いた場合に比べ、4 段から 2 段へ低減させることができるので、シフト処理を高速化することができる。

【0091】

◇第3実施例

図 13 は、この発明の第3実施例であるシフト回路及びシフトアウト検出回路の電氣的構成を示すブロック図、また、図 14 は、同シフトアウト検出回路を構成する 4 ビット検出回路及び 2 ビット検出回路の電氣的構成を示す回路図である。

この例が上述した第1実施例と異なるところは、各ビットシフト回路のシフト量が入力側から降順に並べられるように、32 ビットシフト回路から順に配置した点である。

【0092】

シフト回路 32 は、図 13 に示すように、比較減算回路 3 から、例えば「1」の右 32 ビットシフト信号 $RS6$ を受け取った場合に、仮数 ($a_{63}a_{62}\cdots a_3a_2a_1a_0$) を 32 ビット右シフトさせる 32 ビットシフト回路 83 と、「1」の右 16 ビットシフト信号 $RS5$ を受け取った場合に、32 ビットシフト回路 83 の出力データを 16 ビット右シフトさせる 16 ビットシフト回路 84 と、「1」の右 8 ビットシフト信号 $RS4$ を受け取った場合に、16 ビットシフト回路 84 の出力データを 8 ビット右シフトさせる 8 ビットシフト回路 85 と、「1」の右 4 ビットシフト信号 $RS3$ を受け取った場合に、8 ビットシフト回路 85 の出力データを 4 ビット右シフトさせる 4 ビットシフト回路 86 と、「1」の右 2 ビットシフト信号 $RS2$ を受け取った場合に、4 ビットシフト回路 86 の出力データを 2 ビット右シフトさせる 2 ビットシフト回路 87 と、「1」の右 1 ビットシフト信号 $RS1$ を受け取った場合に、2 ビットシフト回路 87 の出力データを 1 ビット右シフトさせる 1 ビットシフト回路 88 とを有している。

【0093】

シフトアウト検出回路89は、図13に示すように、32ビットシフト回路83におけるシフト処理の結果、「1」がシフトアウトしたことを検出する32ビット検出回路90と、16ビットシフト回路84におけるシフト処理の結果、「1」がシフトアウトしたことを検出する16ビット検出回路91と、8ビットシフト回路85におけるシフト処理の結果、「1」がシフトアウトしたことを検出する8ビット検出回路92と、4ビットシフト回路86におけるシフト処理の結果、「1」がシフトアウトしたことを検出する4ビット検出回路93と、2ビットシフト回路87におけるシフト処理の結果、「1」がシフトアウトしたことを検出する2ビット検出回路94と、1ビットシフト回路88におけるシフト処理の結果、「1」がシフトアウトしたことを検出する1ビット検出回路95と、1ビットシフト回路88、2ビットシフト回路87、4ビットシフト回路86、8ビットシフト回路85、16ビットシフト回路84、32ビットシフト回路83のいずれか1つで「1」がシフトアウトしたことを検出し、スティッキー信号STOUTを出力する集約出力回路96とを有している。

【0094】

なお、この例では、図13及び図14に示すように、4ビット検出回路93から出力されるスティッキー信号ST3は、一旦2ビット検出回路94に入力され、2ビット検出回路94は、スティッキー信号ST3が「1」か、または、2ビットシフト回路87で「1」がシフトアウトしたことを検出したときに、スティッキー信号ST23を「0」として出力する。

ここで、4ビット検出回路93は、図14に示すように、最下位ビットデータから4ビットデータまでのデータについてNORをとる論理演算を行って出力する4入力NOR回路93aと、右4ビットシフト信号RS3を反転して出力するインバータ回路93bと、インバータ回路93bの出力と4入力NOR回路93cの出力とのNORをとって、スティッキー信号ST3を出力するNOR回路93cとを有している。

また、2ビット検出回路94は、図14に示すように、最下位ビットデータと2ビット目データとのOR出力と、右2ビットシフト信号RS2とについてNA

NANDをとる論理演算を行って出力する2入力OR 2入力NAND回路94aと、2入力OR 2入力NAND回路94aの出力を反転するインバータ回路94bと、インバータ回路94bの出力とスティッキー信号ST3とについてNORをとる論理演算を行って、スティッキー信号ST23を出力する2入力NOR回路94cとを有している。

【0095】

この例のシフト回路82及びシフトアウト検出回路89の動作については、各ビットシフト回路を組み合わせて動作させた場合に、1つのビットシフト回路でシフトさせるシフト量の順序が異なる以外は、第1実施例の動作と略同一であるので、その説明を省略する。

【0096】

この例の構成によれば、32ビット検出回路90、16ビット検出回路91、8ビットシフト検出回路92、2ビット検出回路94、1ビット検出回路95から出力されたスティッキー信号は直接に、また、4ビット検出回路93から出力されたスティッキー信号のみ2ビット検出回路94を経由して、集約出力回路96に集められ、最終出力としてのスティッキー信号STOUTが出力される。したがって、スティッキー信号STOUTを、丸め処理回路65(69)へ高速に送ることができ、浮動小数点加減算回路61の動作速度の向上に寄与することができる。

また、各ビットシフト回路は、入力側から32ビットシフト回路83、16ビットシフト回路84、8ビットシフト回路85、4ビットシフト回路86、2ビットシフト回路87、1ビットシフト回路88の順に、すなわち、シフト量の多い順に配列されているので、例えば右32ビットシフト信号RS6が「1」である場合に、32ビットシフト回路83に対応する32ビット検出回路90において、演算処理結果を第1実施例の場合よりも早いタイミングで出力することができる。

【0097】

以上、この発明の実施例を図面を参照して詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変

更等があってもこの発明に含まれる。

例えば、上述した実施例では、マルチプレクサ回路 5_0 等をクロックインバータ回路 5_0a 、 5_0b 、 5_0c を用いて構成する場合について述べたが、図 15 に示すように、クロックインバータ回路に代えて NAND 回路を用い、例えばマルチプレクサ回路 5_0 に代えて、マルチプレクサ回路 97_0 を、右 1 ビットシフト信号 $RS1$ と右 1 ビットシフトデータ a_{R0} との NAND をとって演算結果を出力する NAND 回路 97_0a と、左 1 ビットシフト信号 $LS1$ と左 1 ビットシフトデータ a_{L0} との NAND をとって演算結果を出力する NAND 回路 97_0b と、右 1 ビットシフト信号 $RS1$ と左 1 ビットシフト信号 $RL1$ との NOR をとる NOR 回路 97_0d の演算結果と仮数の最下位ビットデータ a_0 との NAND をとって演算結果を出力する NAND 回路 97_0c と、NAND 回路 97_0a 、 97_0b 、 97_0c の出力について NAND をとって演算結果を出力する NAND 回路 97_0e とから構成するようにしても良い。これにより、回路を簡略化し部品点数を低減することができる。

【0098】

また、上述した実施例では、32 ビット検出回路 18 において、8 個の 4 入力 NOR 回路 41、42、…、48 を用いたが、これらに代えて、4 個の 8 入力 NOR 回路 98a、98b、98c、98d を用いて 32 ビット検出回路 98 を構成するようにしても良い。

この 32 ビット検出回路 98 は、8 入力 NOR 回路 98a、98b、98c、98d と、8 入力 NOR 回路 98a、98b、98c、98d について AND をとる論理演算を行った結果と、右 32 ビットシフト信号 $RS6$ を反転出力するインバータ回路 98e の出力とについて NOR をとって演算結果を出力する 4 入力 NAND 2 入力 NOR 回路 98f とを有している。

これによって、論理段数を低減することができる。

【0099】

また、第 1 実施例では、シフトアウト検出回路 2 において、例えばスティッキー信号 $ST1$ 、 $ST2$ 、 $ST3$ を、中継出力回路 19 を経由させて、集約出力回路 21 に入力させる場合について述べたが、6 入力の集約出力回路 99a を用いて

、スティッキー信号 S T 1、S T 2、S T 3も直接、集約出力回路 9 9 a に入力させて、シフトアウト検出回路 9 9 を構成するようにしても良い。

これによって、「「1」のシフトアウトあり」が、前段側（例えば1ビット検出回路）で検出される場合には、最終段の集約出力回路 9 9 a からの信号出力を一段と早いタイミングで行うことができ、高速化することができる。

【0 1 0 0】

また、シフト回路 1 及びシフトアウト検出回路 2 を、桁合せシフト用と正規化シフト用とで、別々に設ける場合について述べたが、共用しても良い。また、丸目処理回路も桁合せシフト用と正規化シフト用とで共用としても良い。

これによって、浮動小数点加減算回路を簡略化することができる。

また、浮動小数点表示の加減算で桁合わせ時や正規化処理時の丸め処理に適用する場合について述べたが、例えば2の冪乗で除算した場合の丸め処理に適用するようにしても良い。

また、シフト対象の例えば仮数が64ビットの場合について説明したが、これに限らない。

【0 1 0 1】

【発明の効果】

以上説明したように、この発明によれば、各部分丸め検出信号のうち、最終段の部分丸め検出回路を除く少なくとも1つの部分丸め検出回路から出力された部分丸め検出信号が、他の部分丸め検出回路を経由しないように構成されているので、丸め検出信号出力回路から出力される丸め検出信号は、高速に、丸め処理を行う丸め処理回路に伝達される。したがって、浮動小数点演算回路の動作速度の向上に寄与することができる。

また、部分シフト量が比較的大きい部分シフト回路に対応する部分丸め検出回路を構成する能動素子のサイズを、部分シフト量が比較的小さい部分シフト回路に対応する部分丸め検出回路を構成する能動素子のサイズに対して大きく設定することによって、平均的な演算処理時間の短縮化を図りつつ、丸め検出回路全体のサイズの縮小化を達成することができる。

【図面の簡単な説明】

【図 1】

この発明の第 1 実施例であるシフト回路及びシフトアウト検出回路の電氣的構成を示すブロック図である。

【図 2】

同シフト回路及びシフトアウト検出回路の電氣的構成を示すブロック図である。

【図 3】

同シフト回路を構成するマルチプレクサ回路の構成を示す回路図である。

【図 4】

同シフトアウト検出回路を構成する 1 ビット検出回路の構成を示す回路図である。

【図 5】

同シフトアウト検出回路を構成する 2 ビット検出回路の構成を示す回路図である。

【図 6】

同シフトアウト検出回路を構成する 4 ビット検出回路の構成を示す回路図である。

【図 7】

同シフトアウト検出回路を構成する 8 ビット検出回路の構成を示す回路図である。

【図 8】

同シフトアウト検出回路を構成する 1 6 ビット検出回路の構成を示す回路図である。

【図 9】

同シフトアウト検出回路を構成する 3 2 ビット検出回路の構成を示す回路図である。

【図 1 0】

同シフト回路及びシフトアウト検出回路の動作を説明するための説明図である。

【図 1 1】

同シフト回路及びシフトアウト検出回路が組み込まれた浮動小数点加減算回路の電氣的構成を示すブロック図である。

【図 1 2】

この発明の第 2 実施例であるシフト回路を構成するマルチプレクサ回路の構成を示す回路図である。

【図 1 3】

この発明の第 3 実施例であるシフト回路及びシフトアウト検出回路の電氣的構成を示すブロック図である。

【図 1 4】

同シフトアウト検出回路を構成する 4 ビット検出回路及び 2 ビット検出回路の電氣的構成を示す回路図である。

【図 1 5】

この発明の第 1 実施例の変形例であるシフト回路を構成するマルチプレクサ回路の構成を示す回路図である。

【図 1 6】

この発明の第 1 実施例の別の変形例であるシフトアウト検出回路を構成する 3 ビット検出回路の構成を示す回路図である。

【図 1 7】

この発明の第 1 実施例のさらに別の変形例であるシフトアウト検出回路の構成を示すブロック図である。

【図 1 8】

従来技術を説明するための説明図である。

【図 1 9】

従来技術を説明するための説明図である。

【図 2 0】

従来技術を説明するための説明図である。

【図 2 1】

従来技術を説明するための説明図である。

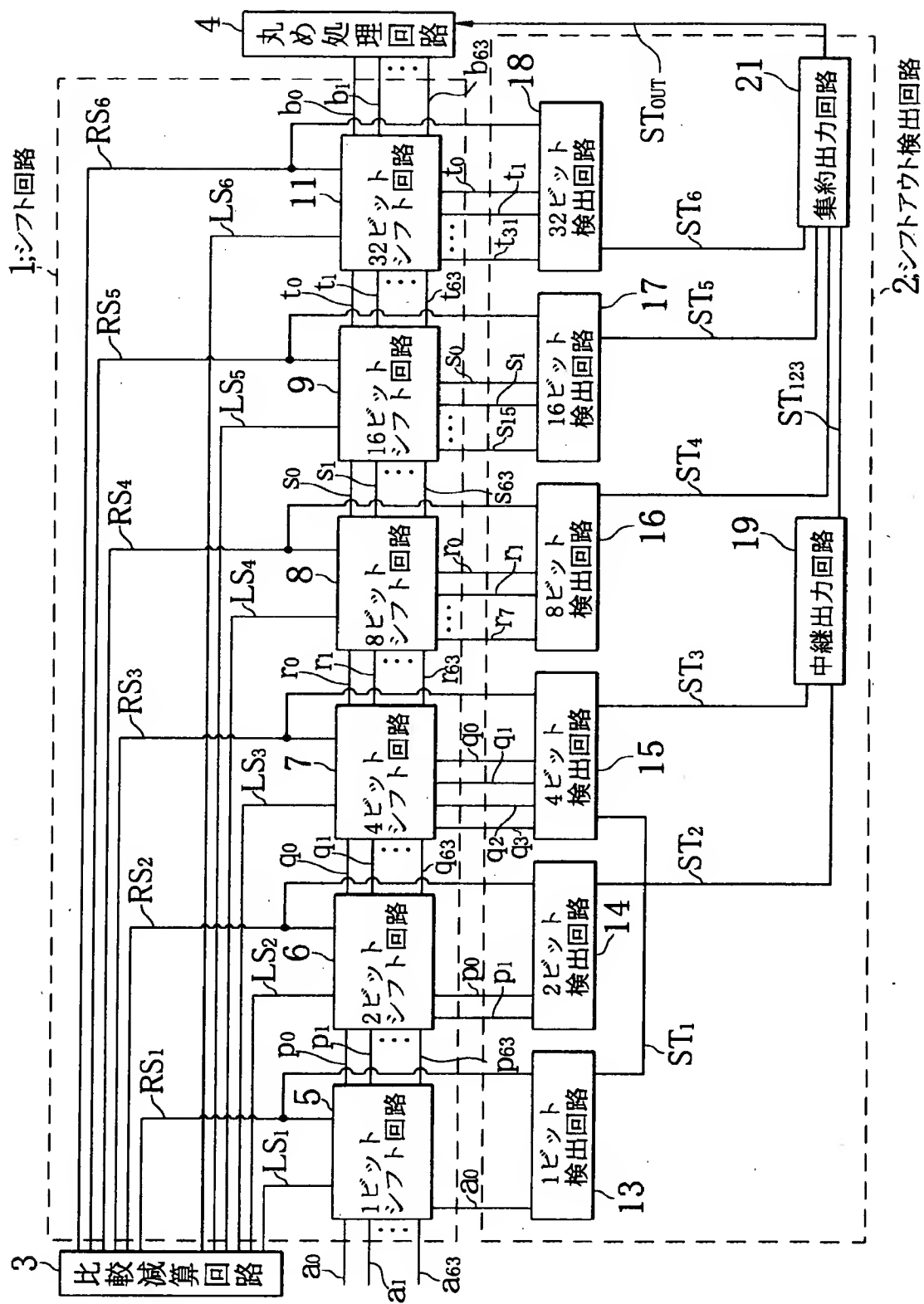
【符号の説明】

- 1 シフト回路
- 2、64、68 シフトアウト検出回路（丸め検出回路）
- 5 1ビットシフト回路（部分シフト回路）
- 6 2ビットシフト回路（部分シフト回路）
- 7 4ビットシフト回路（部分シフト回路）
- 8 8ビットシフト回路（部分シフト回路）
- 9 16ビットシフト回路（部分シフト回路）
- 11 32ビットシフト回路（部分シフト回路）
- 13 1ビット検出回路（部分丸め検出回路）
- 14 2ビット検出回路（部分丸め検出回路）
- 15 4ビット検出回路（部分丸め検出回路）
- 16 16ビット検出回路（部分丸め検出回路）
- 17 32ビット検出回路（部分丸め検出回路）
- 21 集約出力回路（丸め検出号出力回路）
- 61 浮動小数点加減算回路（浮動小数点演算回路）
- 63 桁合せシフト回路（シフト回路）
- 67 正規化シフト回路（シフト回路）
- ST1～ST6 ステイッキー信号（部分丸め検出信号）
- STOUT ステイッキー信号（丸め検出信号）

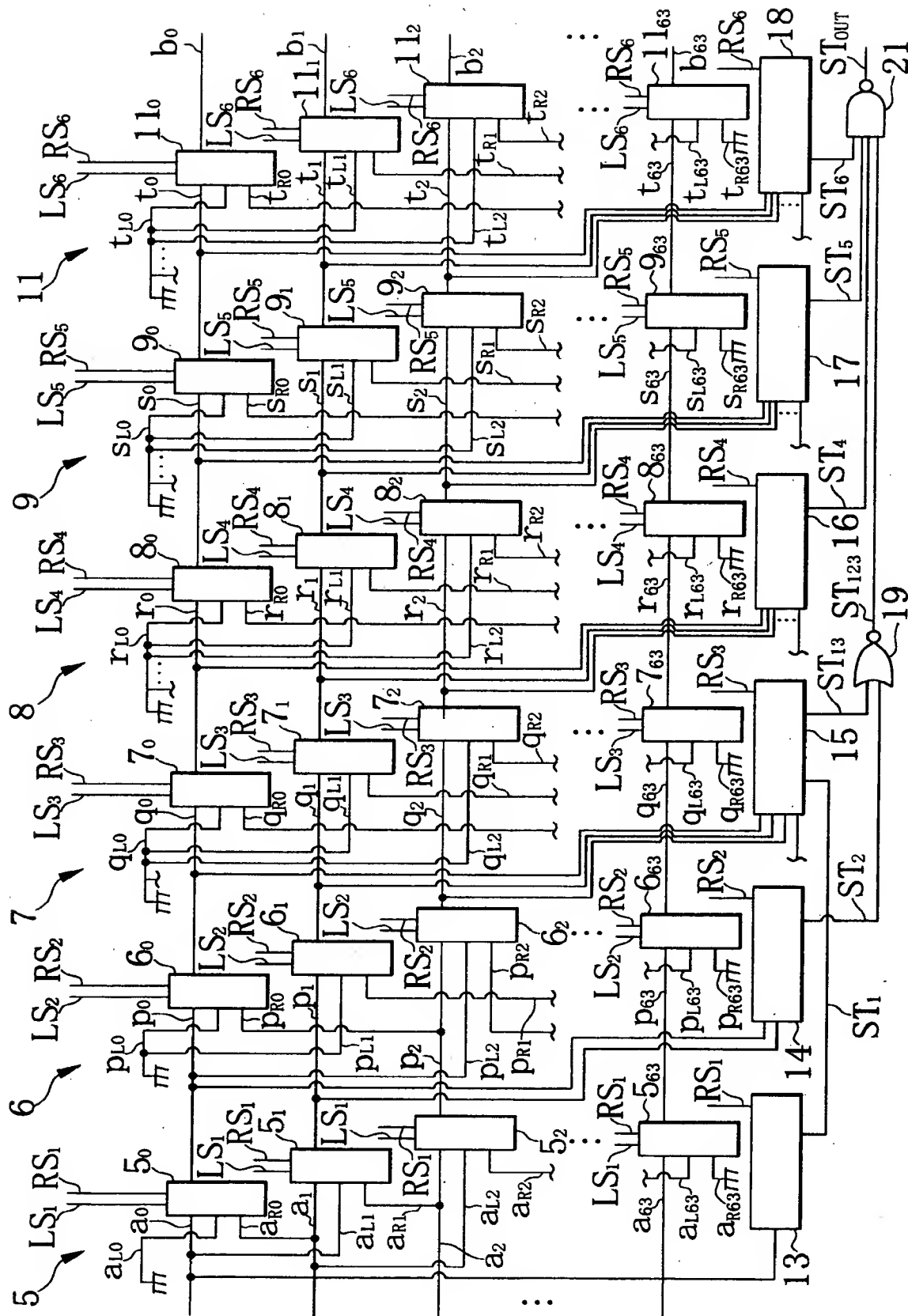
【書類名】

図面

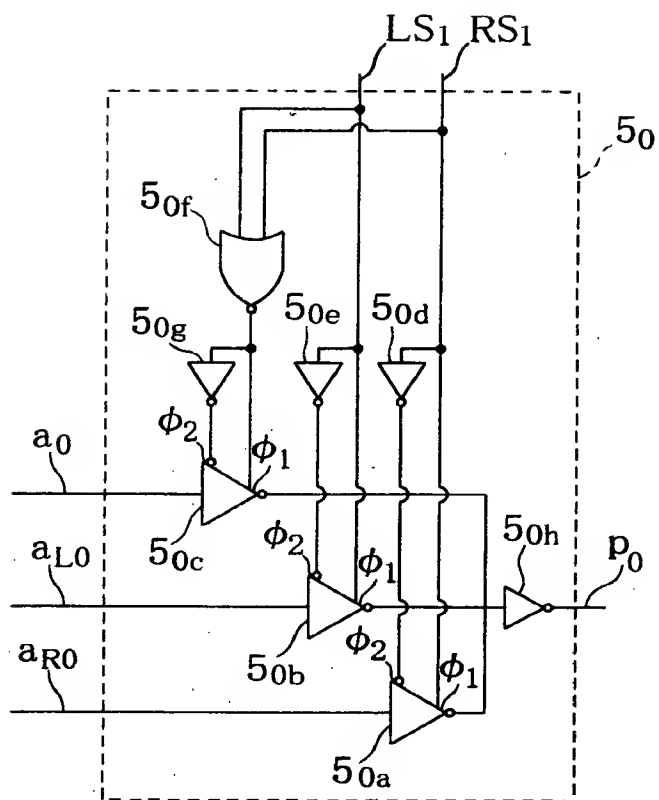
【図 1】



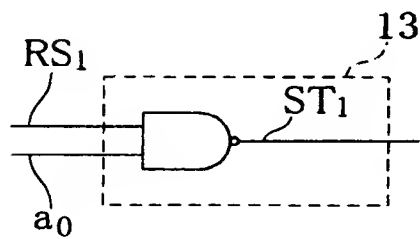
【図2】



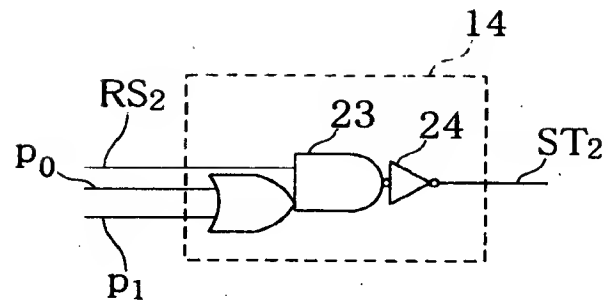
【図 3】



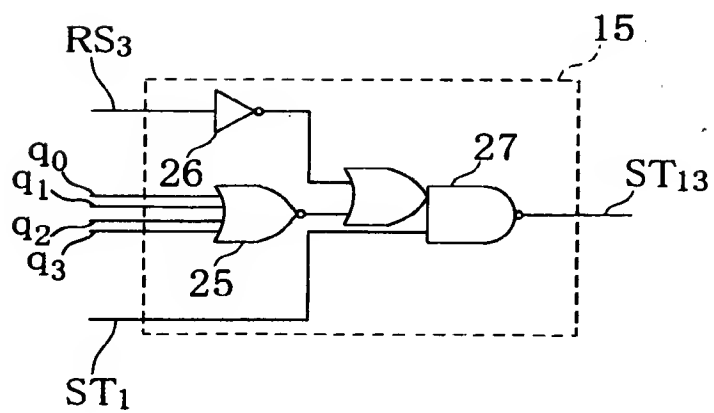
【図 4】



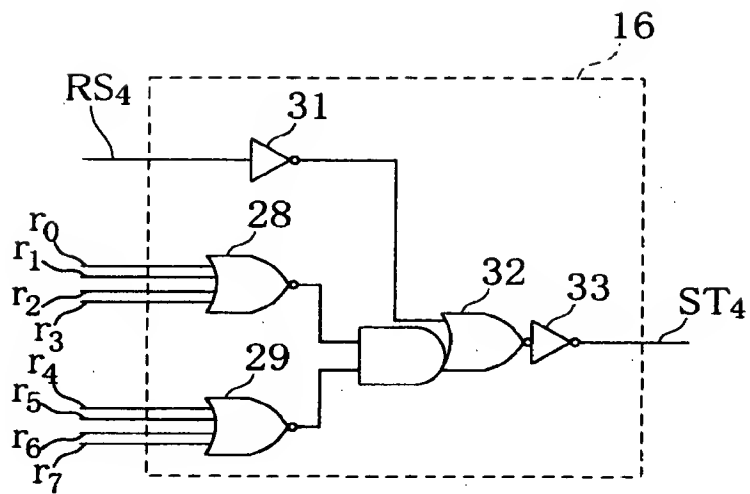
【図 5】



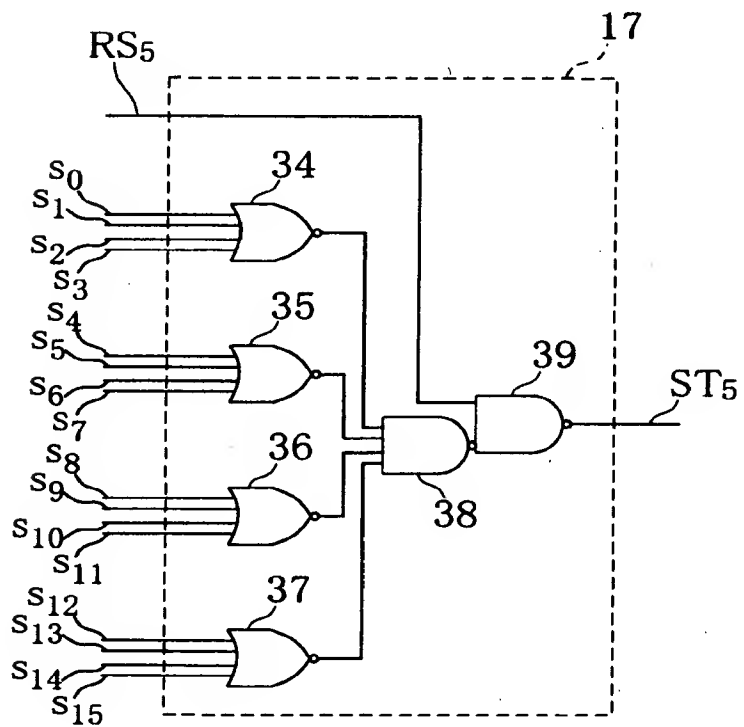
【図 6】



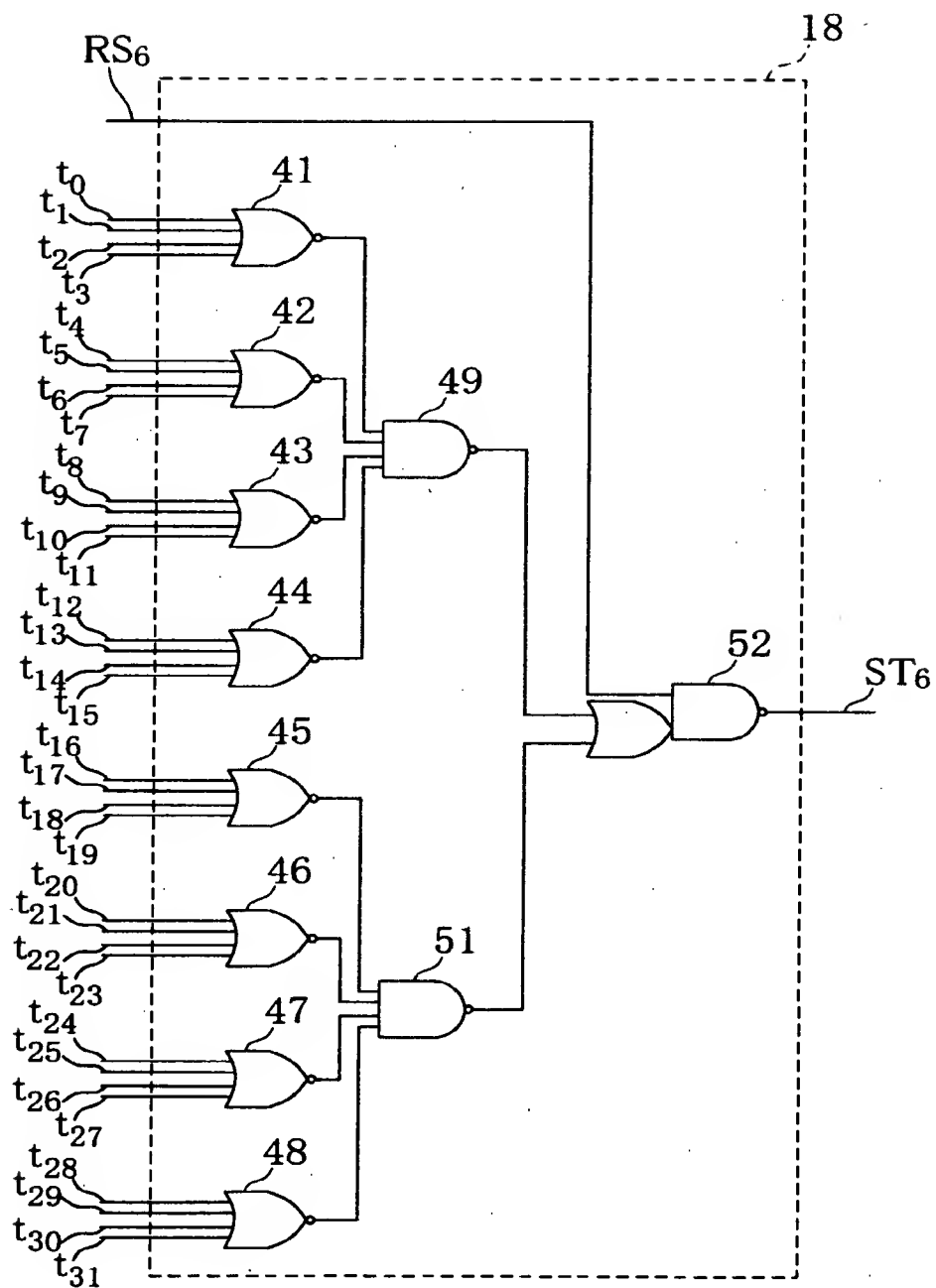
【図 7】



【図 8】

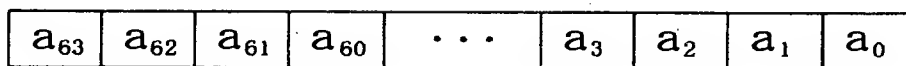


【図 9】

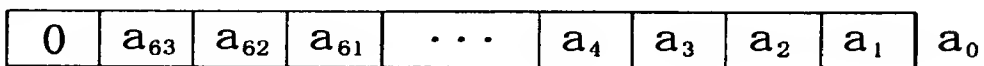


【図 10】

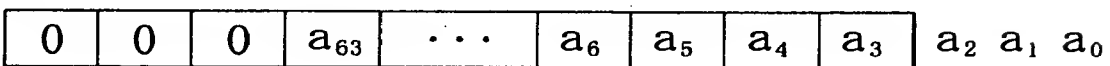
(a)



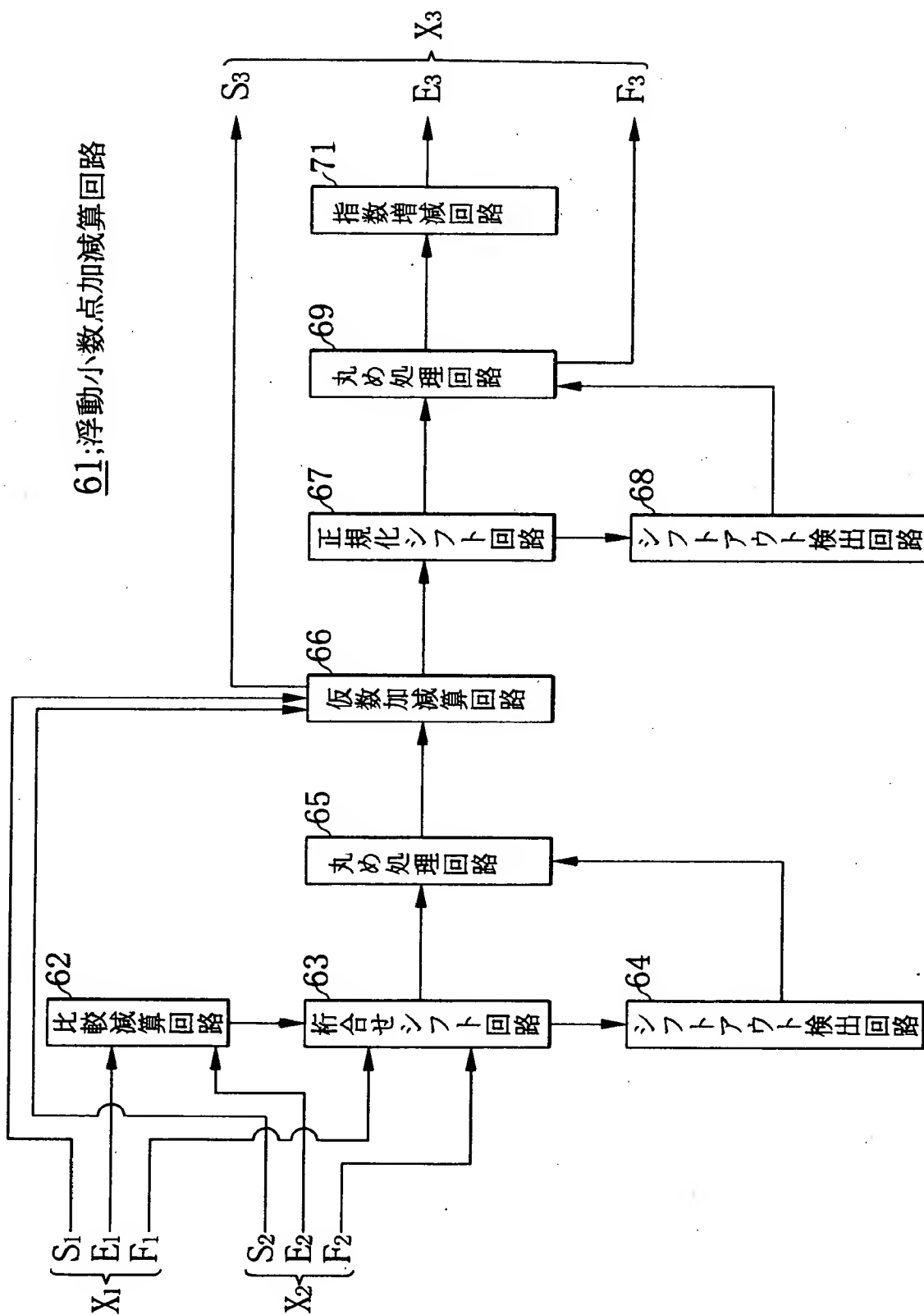
(b)



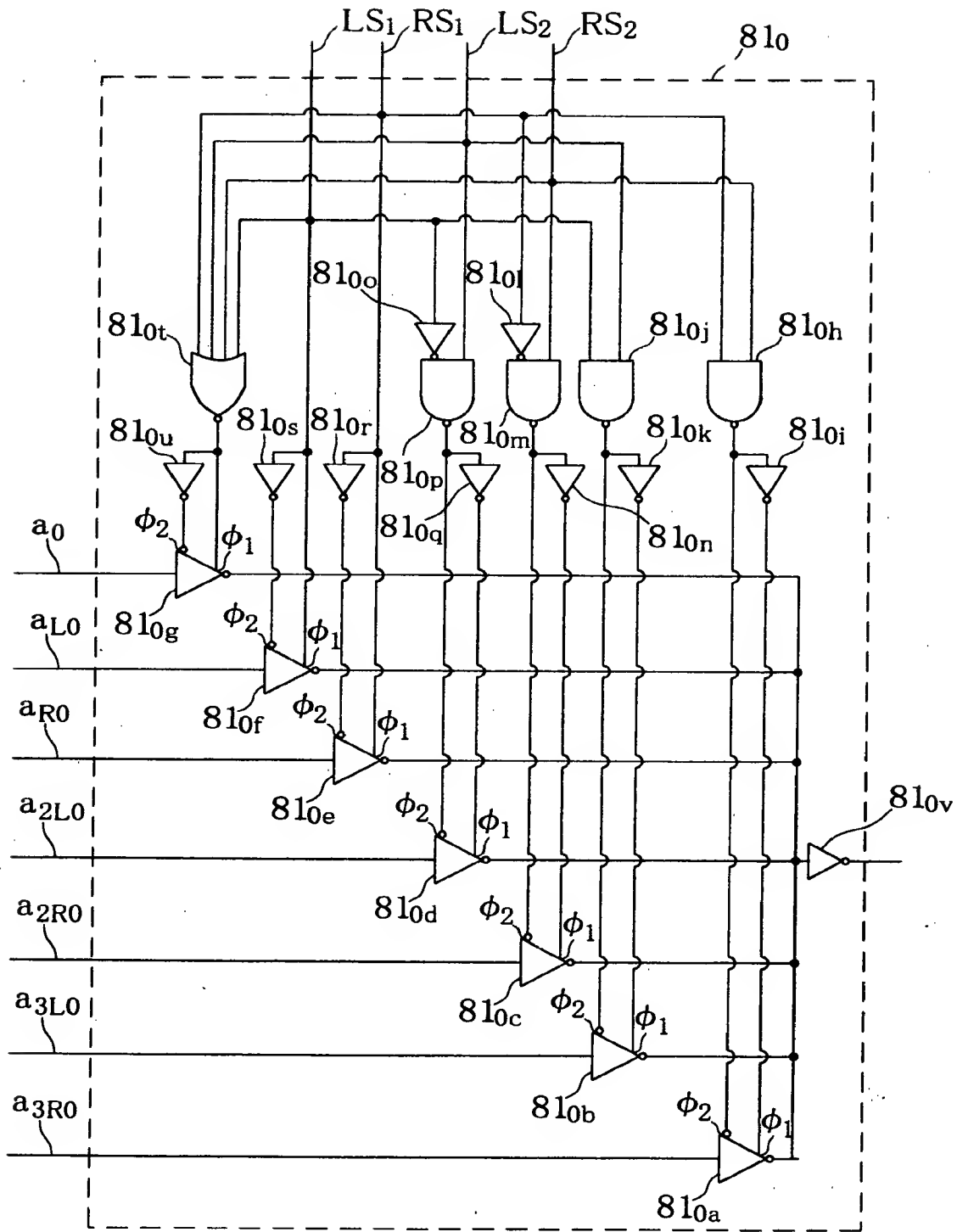
(c)



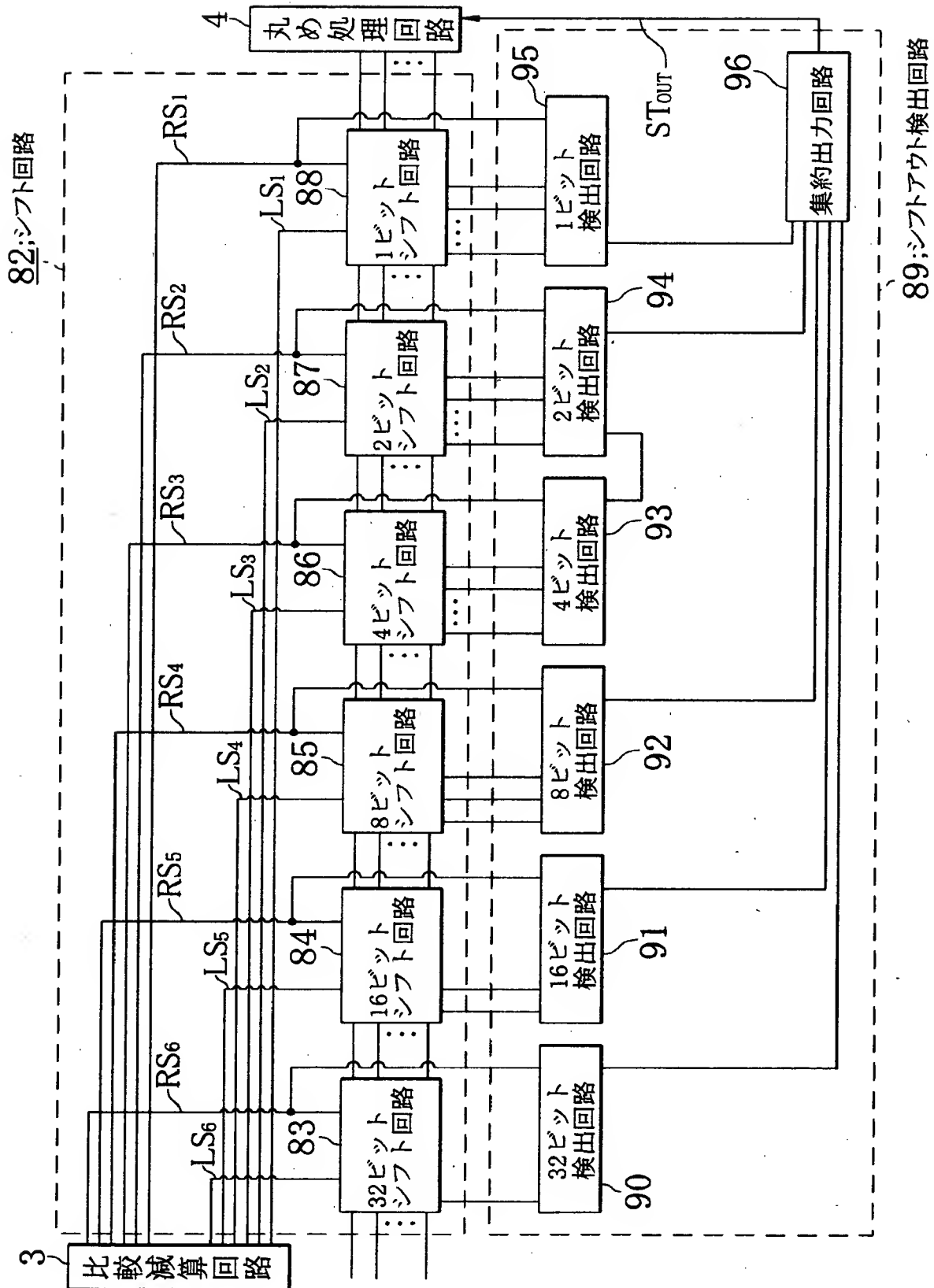
【図 11】



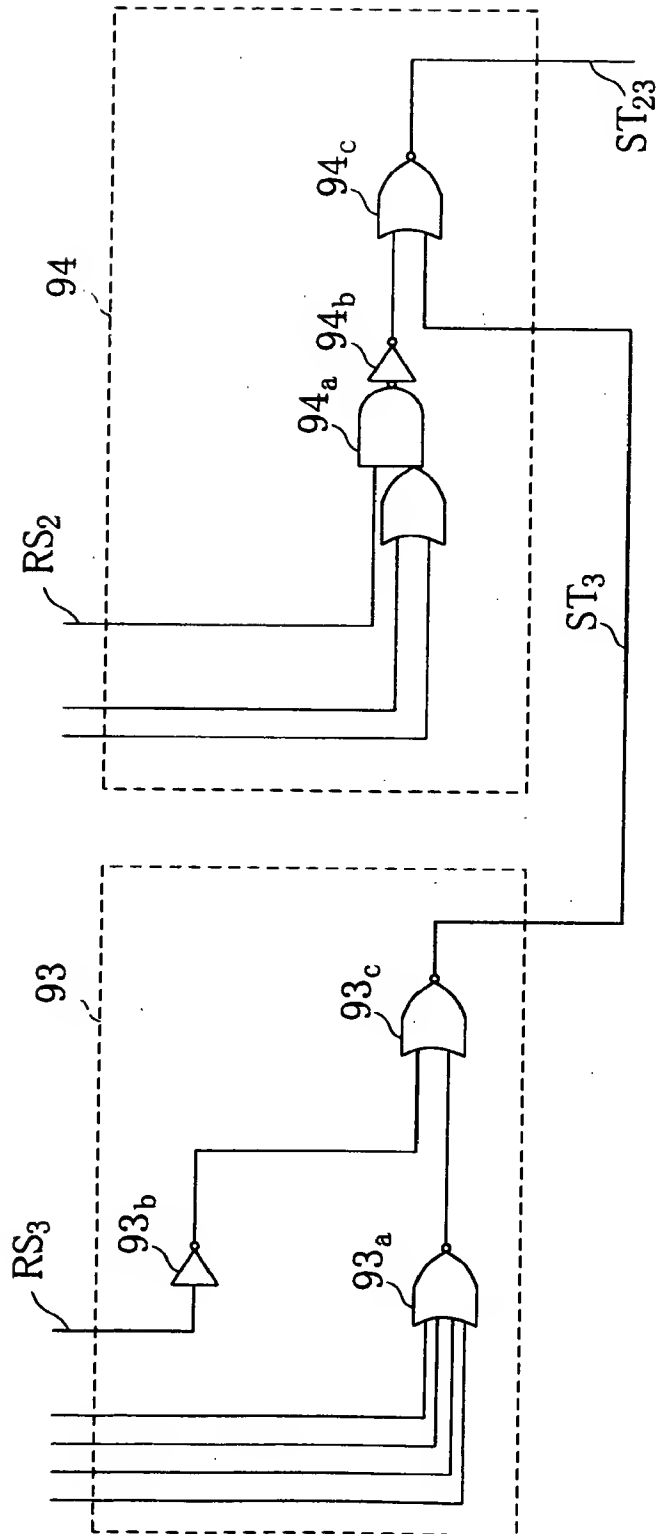
【図 12】



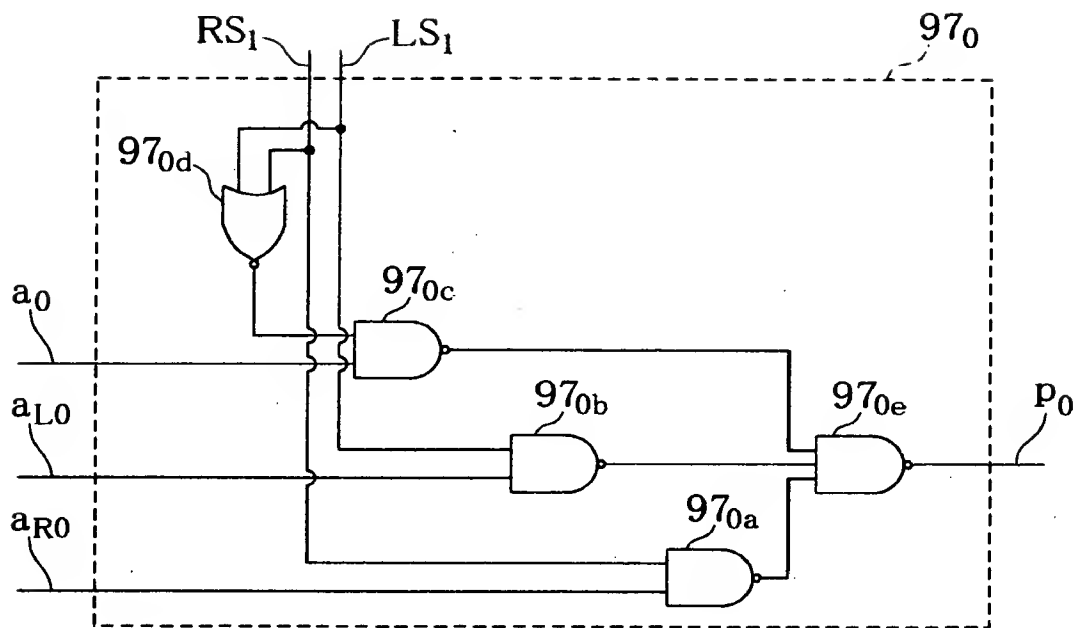
【図13】



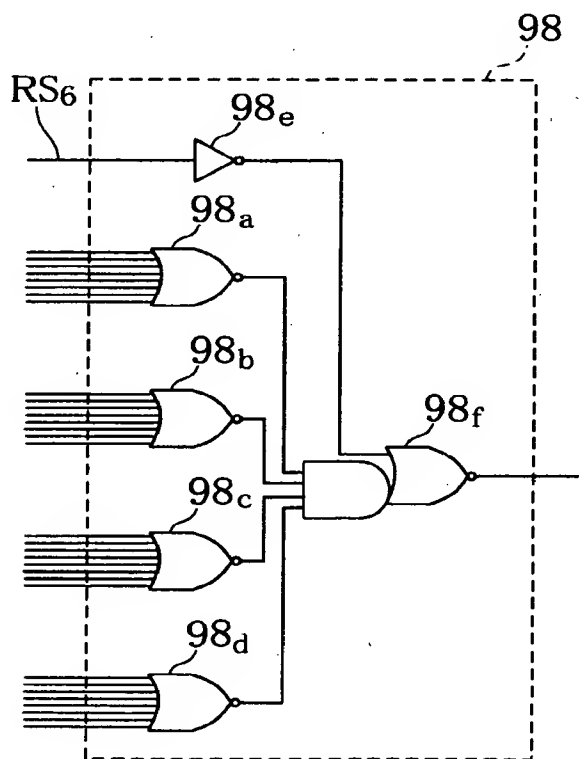
【 図 1 4 】



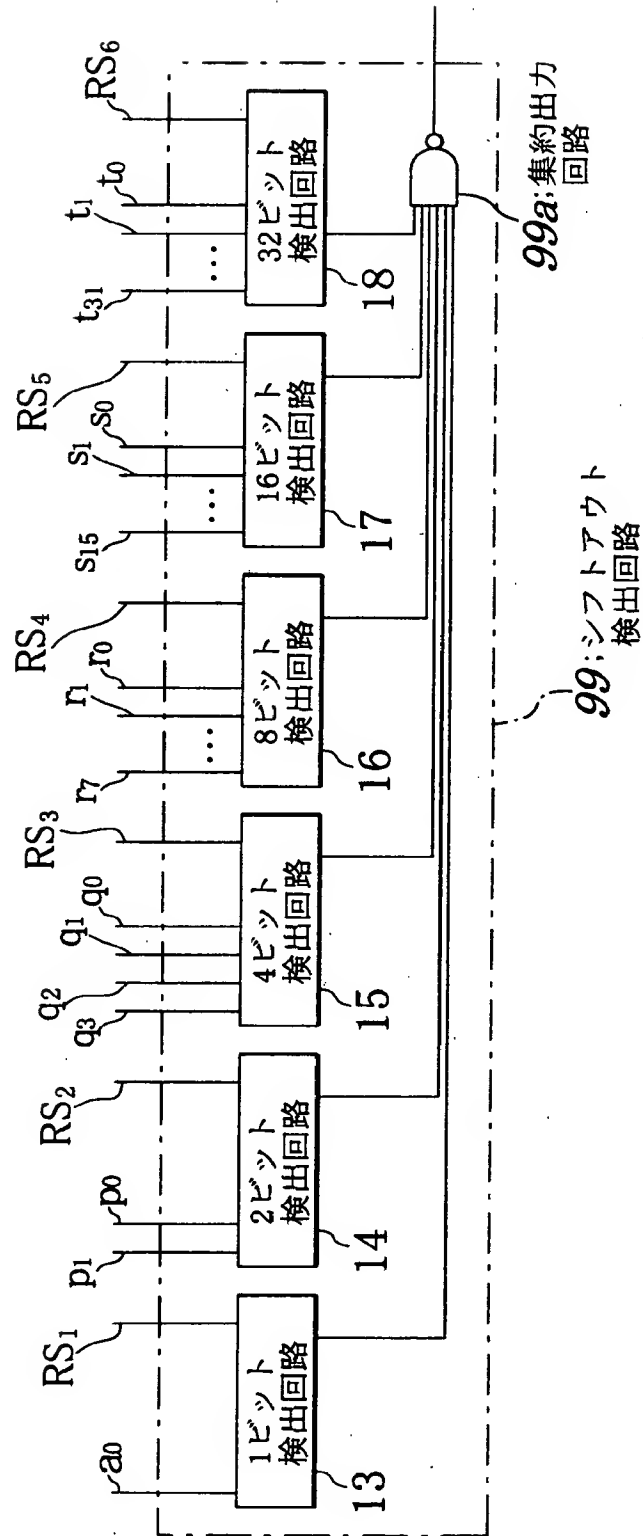
【図 15】



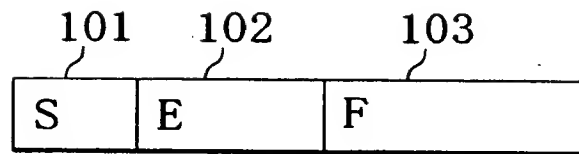
【図 16】



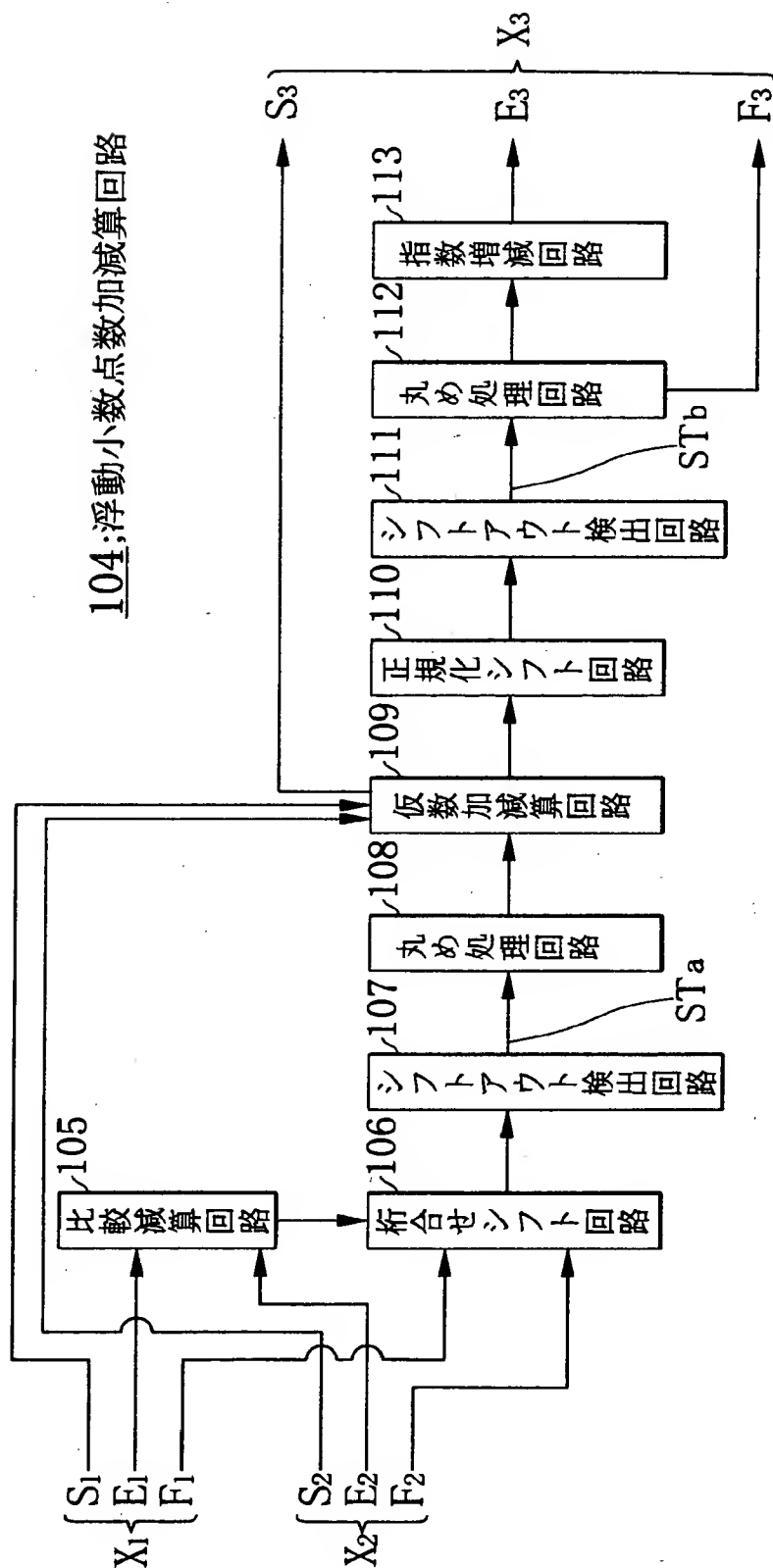
【図 17】



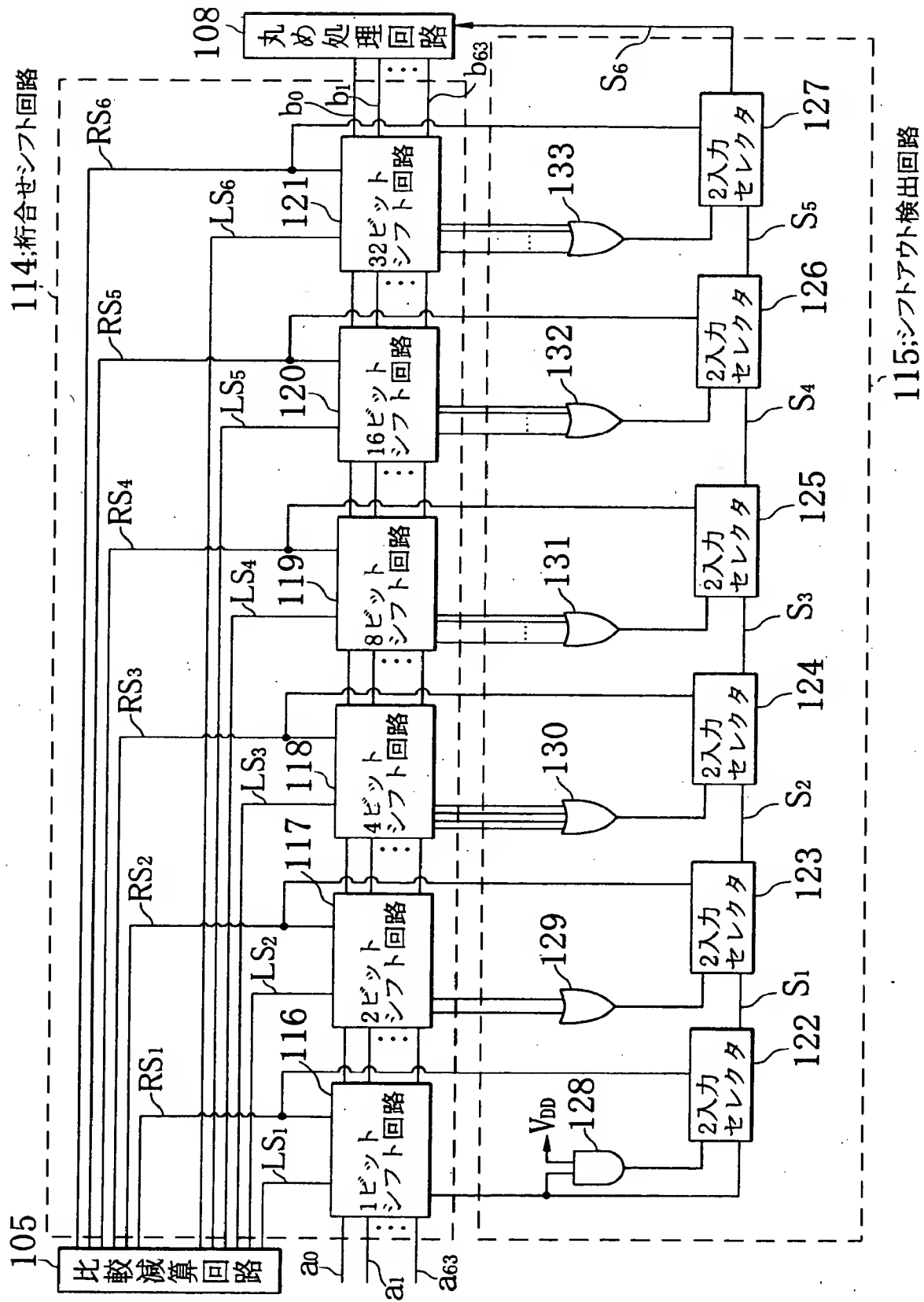
【図 1 8】



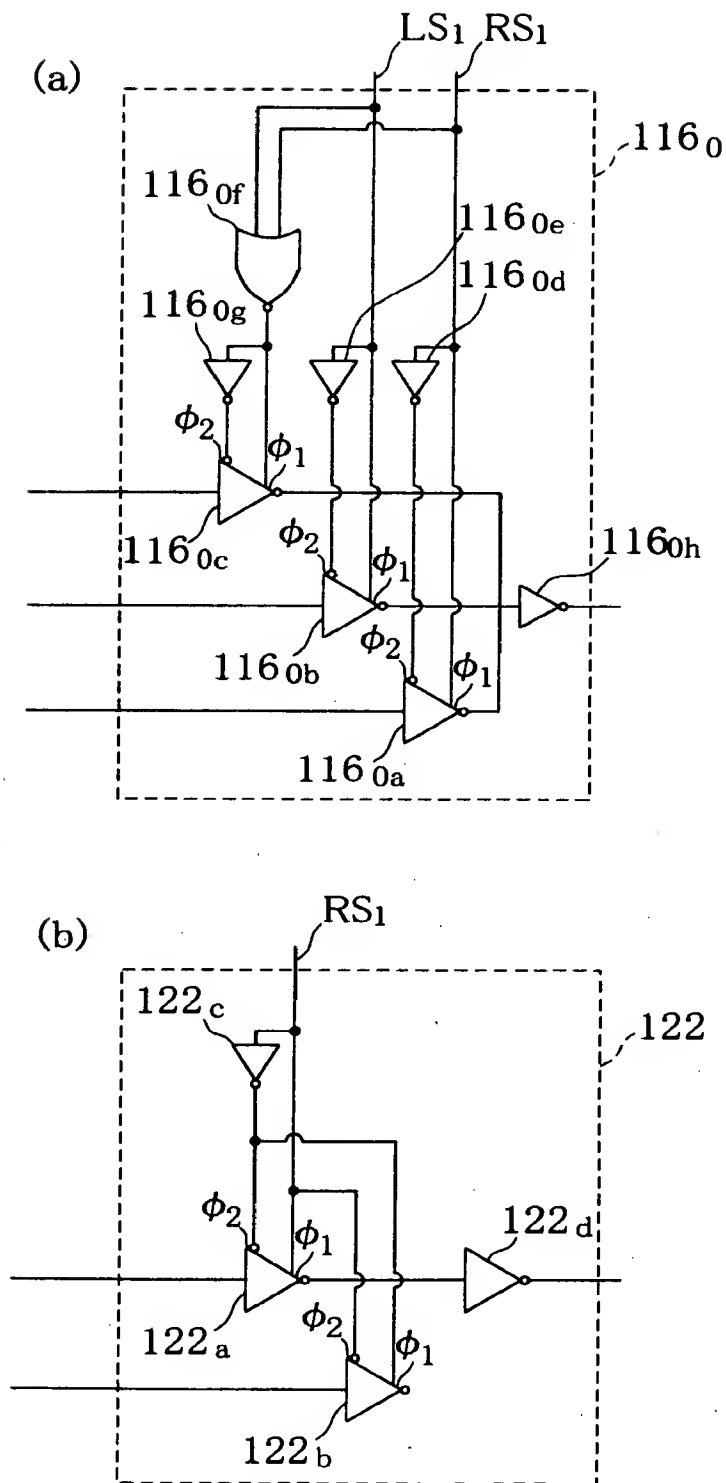
【図 19】



【図 20】



【図 21】



【書類名】 要約書

【要約】

【課題】 高速に、「1」のシフトアウト（丸め）の発生を検出する。

【解決手段】 シフト回路 1 は、2 つの浮動小数点数の指数の大小を判断する比較減算回路 3 から出力された指数が小さい方の浮動小数点数の仮数の桁合せに必要なシフト量に基づいて、入力されたシフト対象の仮数 ($a_{63}a_{62}\cdots a_3a_2a_1a_0$) を下位へ向けてシフト（右シフト）させて、シフト結果 ($b_{63}b_{62}\cdots b_3b_2b_1b_0$) を出力する。シフトアウト検出回路 2 は、シフト回路 1 のシフト処理と並行して、該シフト処理の結果、シフトアウトするデータのなかに 1 つでも「1」が含まれる否か調べ、1 つでも「1」が含まれている場合には、スティッキー信号 STOUT を「1」として出力する。ここで、スティッキー信号 ST1、ST2、…、ST6 は、直接か、または中継出力回路 19 を経由して、集約出力回路 21 に集められ、最終出力としてのスティッキー信号 STOUT が出力される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000232036]

1. 変更年月日 1990年 8月13日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区小杉町1丁目403番53
氏 名 日本電気アイシーマイコンシステム株式会社
2. 変更年月日 2001年 5月21日
[変更理由] 名称変更
住 所 神奈川県川崎市中原区小杉町1丁目403番53
氏 名 エヌイーシーマイクロシステム株式会社